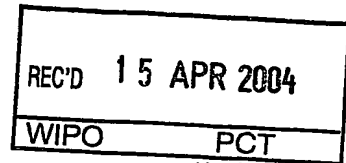


26. 3. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 2 8 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 9 2 8 4 1
[ST. 10/C]: [J P 2 0 0 3 - 0 9 2 8 4 1]

出 願 人
Applicant(s): T D K 株式会社

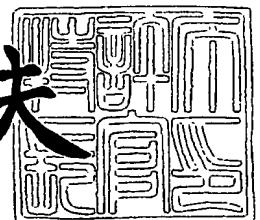
BEST AVAILABLE COPY

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 99P04433

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 江▲崎▼ 城一朗

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 柿沼 裕二

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 古賀 啓治

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 住田 成和

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100109656

【弁理士】

【氏名又は名称】 三反崎 泰司

【代理人】

【識別番号】 100098785

【弁理士】

【氏名又は名称】 藤島 洋一郎

【手数料の表示】

【予納台帳番号】 019482

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気メモリデバイスおよび磁気メモリデバイスの書込方法

【特許請求の範囲】

【請求項 1】 読出電流を流す読出線と、

それぞれに対し双方向に書込電流を流すことが可能であるように前記読出線とは別体として配置されると共に、少なくとも一方が曲折されることにより互いに平行に延びる平行部分が形成された第 1 および第 2 の書込線と、

印加磁界によって磁化方向が変化する感磁層を有し、前記平行部分に配置された磁気抵抗効果素子と

を備え、

前記第 1 および第 2 の書込線の少なくとも一方が、折り返し部分と、この折り返し部分と両端の各々との間を結ぶ第 1 および第 2 の部分とを含むようにループ状に構成され、

前記平行部分に流れる書込電流によって生ずる磁界により前記感磁層の磁化方向が変換し、情報が書き込まれる

ことを特徴とする磁気メモリデバイス。

【請求項 2】 前記平行部分は、前記第 1 および第 2 の部分のうちのいずれか一方が矩形波状または台形波状に曲折されることにより形成されている

ことを特徴とする請求項 1 に記載の磁気メモリデバイス。

【請求項 3】 前記平行部分は、前記第 1 および第 2 の部分の双方が矩形波状または台形波状に曲折されることにより形成されている

ことを特徴とする請求項 1 に記載の磁気メモリデバイス。

【請求項 4】 前記第 1 の部分の曲折方向と前記第 2 の部分の曲折方向とが一致している

ことを特徴とする請求項 3 に記載の磁気メモリデバイス。

【請求項 5】 一対の前記磁気抵抗効果素子が 1 つの記憶セルを構成することを特徴とする請求項 2 ないし請求項 4 のいずれか一項に記載の磁気メモリデバイス。

【請求項 6】 前記第 1 および第 2 の書込線がともにループ状であって、

前記第 1 および第 2 の書込線のいずれか一方が、前記第 1 および第 2 の部分がともに矩形波状または台形波状となり、かつ、前記第 1 の部分の曲折方向と前記第 2 の部分の曲折方向とが一致するように曲折されることにより、

一对の第 1 および第 2 の書込線において 4 つの平行部分が設けられ、

前記第 1 の部分に設けられた 2 つの平行部分に配置された一对の磁気抵抗効果素子が第 1 のグループに属する記憶セルを構成し、

前記第 2 の部分に設けられた 2 つの平行部分に配置された一对の磁気抵抗効果素子が第 2 のグループに属する記憶セルを構成している

ことを特徴とする請求項 1 に記載の磁気メモリデバイス。

【請求項 7】 前記第 1 および第 2 のグループのいずれに書込対象の記憶セルが属しているのかを示すアドレス情報と、書き込むべき書込情報とが入力され、前記アドレス情報および書込情報に基づき、前記第 1 および第 2 の書込線に供給する書込電流の方向を選択する書込用論理制御部

を備えたことを特徴とする請求項 6 に記載の磁気メモリデバイス。

【請求項 8】 さらに、

前記第 1 および第 2 の書込線のうちループ形状をなす書込線の両端が接続され、前記書込線における書込電流の方向を双方向に制御する電流方向制御部と、前記書込線における書込電流の量を一定値に制御する電流量制御部とを含んで構成され、前記書込線に書込電流を供給する書込電流駆動回路

を備えたことを特徴とする請求項 1 ないし請求項 7 のいずれか一項に記載の磁気メモリデバイス。

【請求項 9】 前記第 1 および第 2 の書込線のうちループ形状をなす書込線の両端が接続され、前記書込線における書込電流の方向を双方向に制御する電流方向制御部と、前記書込線における書込電流の量を一定値に制御する電流量制御部とを含んで構成され、前記書込線に書込電流を供給する書込電流駆動回路を備え、

前記書込用論理制御部において選択された前記第 1 および第 2 の書込線に供給する書込電流の方向が、電流方向を制御するための方向制御情報として前記電流方向制御部に出力され、前記電流方向制御部は、前記方向制御情報に基づいて書

込線における書込電流の方向を制御する

ことを特徴とする請求項 7 に記載の磁気メモリデバイス。

【請求項 10】 前記電流方向制御部は、

前記書込線の両端に対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第 1 および第 2 の電流スイッチ、からなる第 1 の差動スイッチ対と、

前記第 1 および第 2 の電流スイッチに対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第 3 および第 4 の電流スイッチ、からなる第 2 の差動スイッチ対とを含み、

前記第 1 の差動スイッチ対は、前記書込線の両端のいずれか一方を書込電流の流入側として選択する機能を有し、前記第 2 の差動スイッチ対は、前記書込線の両端のうち他方を書込電流の流出側として選択する機能を有する

ことを特徴とする請求項 8 または請求項 9 に記載の磁気メモリデバイス。

【請求項 11】 前記電流方向制御部は、

前記第 1 の電流スイッチと前記第 4 の電流スイッチが同じ開閉状態となり、前記第 2 の電流スイッチと前記第 3 の電流スイッチが、前記第 1 および第 4 の電流スイッチとは反対の開閉状態となるように制御を行う差動制御手段を含む

ことを特徴とする請求項 10 に記載の磁気メモリデバイス。

【請求項 12】 前記第 1 および第 2 の書込線に供給される書込電流により生ずる磁界は、書込対象の記憶セルにおいては互いに同一方向を向くように前記感磁層に印加される

ことを特徴とする請求項 1 ないし請求項 11 のいずれか一項に記載の磁気メモリデバイス。

【請求項 13】 前記磁気抵抗効果素子は、前記平行部分のうち、前記平行部分と直交する方向にのみ磁界が生じる領域に配置される

ことを特徴とする請求項 12 に記載の磁気メモリデバイス。

【請求項 14】 さらに、前記磁気抵抗効果素子は前記感磁層を含む積層体を含んでおり、前記積層体の一方の面側には、前記積層面に沿った方向を軸方向とし、前記第 1 および第 2 の書込線の平行部分によって前記軸方向に沿って貫か

れるように構成された環状磁性層が設けられている

ことを特徴とする請求項 1 ないし請求項 13 のいずれか一項に記載の磁気メモリデバイス。

【請求項 15】 前記第 1 および第 2 の書込線に供給される書込電流により生ずる磁界は、大きさが相等しい

ことを特徴とする請求項 1 ないし請求項 14 のいずれか一項に記載の磁気メモリデバイス。

【請求項 16】 読出電流を流す読出線と、互いに交差するように延びる第 1 および第 2 の書込線と、前記第 1 および第 2 の書込線に供給される書込電流により生ずる磁界によって磁化方向が変化する感磁層を有する磁気抵抗効果素子とを備えた磁気メモリデバイスの書込方法であって、

前記第 1 および第 2 の書込線を前記読出線とは別体とし、双方向に書込電流を流すことが可能なように構成すると共に、

前記第 1 および第 2 の書込線の少なくとも一方を、両端のそれぞれと折り返し部分との間を結ぶ第 1 および第 2 の部分を含むループ形状とし、さらに、

前記第 1 および第 2 の書込線の少なくとも一方を曲折しつつ互いに交差させて前記第 1 および第 2 の書込線が互いに平行に延びる平行部分を設け、

これらの平行部分に前記磁気抵抗効果素子を配置し、

前記平行部分における第 1 および第 2 の書込線に流れる書込電流が、ともに、書き込む情報に対応した第 1 および第 2 の方向のいずれか一方向を向くように、前記第 1 および第 2 の書込線に書込電流を供給し、

前記書込電流により生ずる磁界によって前記感磁層の磁化方向を変化させて情報を書き込むことを特徴とする磁気メモリデバイスの書込方法。

【請求項 17】 一对の前記平行部分のそれぞれに 2 つの磁気抵抗効果素子の各々を配置し、

前記第 1 および第 2 の書込線に対し、前記一对の平行部分の各々において方向が一致し、かつ、前記一对の平行部分の相互間では方向が反対向きとなるように書込電流を供給することにより、前記 2 つの磁気抵抗効果素子の各感磁層の磁化方向を互いに反平行となるように変化させ、

前記 2 つの磁気抵抗効果素子を 1 つの記憶セルとして情報を書き込むことを特徴とする請求項 16 に記載の磁気メモリデバイスの書込方法。

【請求項 18】 前記第 1 および第 2 の書込線の双方をループ形状となすと共に、前記第 1 および第 2 の書込線のいずれか一方の前記第 1 および第 2 の部分を互いの曲折方向が一致するように矩形波状または台形波状に曲折し、一对の第 1 および第 2 の書込線において 4 つの平行部分を設け、

前記第 1 の部分に設けられた 2 つの平行部分に一对の磁気抵抗効果素子を配置することにより第 1 のグループに属する記憶セルを構成し、

前記第 2 の部分に設けられた 2 つの平行部分に一对の磁気抵抗効果素子を配置することにより第 2 のグループに属する記憶セルを構成し、

前記一对の第 1 および第 2 の書込線に対し、

前記第 1 および第 2 のグループに属する 2 つの記憶セルのうち書込対象の記憶セルでは、2 つの平行部分の双方において第 1 の書込線と第 2 の書込線に同方向、しかも 2 つの平行部分相互間では逆方向に流れるように書込電流を供給すると共に、

他方の記憶セルでは、2 つの平行部分の双方において、第 1 の書込線と第 2 の書込線に互いに逆方向に流れるように書込電流を供給することにより、

一方の記憶セルにおける一对の磁気抵抗効果素子においてのみ各感磁層の磁化方向を変化させ、選択的に情報を書き込む

ことを特徴とする請求項 17 に記載の磁気メモリデバイスの書込方法。

【請求項 19】 前記第 1 および第 2 の書込線のうちループ形状をなす書込線に対し、

両端のいずれか一方を書込電流の流入側、他方を流出側として選択することにより、書込電流の方向を制御すると共に、この書込線上を一定の電流値で流れるように制御しつつ、書込電流を供給する

ことを特徴とする請求項 16 ないし請求項 18 のいずれか一項に記載の磁気メモリデバイスの書込方法。

【請求項 20】 前記第 1 および第 2 の書込線に書込電流を供給して、前記感磁層に対し互いに同一方向を向く磁界を印加することにより情報を書き込む

ことを特徴とする請求項16ないし請求項19のいずれか一項に記載の磁気メモリデバイスの書込方法。

【請求項21】 前記感磁層に印加する各磁界の大きさを相等しくなるようにすることを特徴とする請求項20に記載の磁気メモリデバイスの書込方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強磁性体を含む磁気抵抗効果素子を用いて構成され、この強磁性体の磁化方向を制御することにより情報を書き込み、記憶する磁気メモリデバイス、および磁気メモリデバイスの書込方法に関する。

【0002】

【従来の技術】

コンピュータやモバイル通信機器などにおける情報処理の高速化は、いわゆるユビキタスコンピューティングを目指す時流に乗り、ますます重要となる一方である。また、これに伴って、高速な不揮発性メモリの開発が強く求められており、従来のフラッシュEEPROMやハードディスク装置などに代わるメモリとしてMRAM (Magnetic Random Access Memory) が有望視されている。

【0003】

MRAMは、マトリクス状に配列された個々の記憶セルが磁気素子で構成されている。現在実用化されているMRAMは、巨大磁気抵抗効果 (GMR: Giant Magneto-Resistive) を利用したものである。GMRとは、互いの磁化容易軸を揃えて配設された2つの強磁性層が積層された積層体において、積層体の抵抗値が、各強磁性層の磁化方向が磁化容易軸に沿って平行な場合に最小、反平行の場合に最大となる現象である。各記憶セルは、この2状態を「0」、「1」の2値情報に対応させて情報を記憶し、情報に対応させた抵抗の違いを電流または電圧の変化として検出することによって情報を読み出す仕組みになっている。実際のGMR素子では、2つの強磁性層は非磁性層を介して積層され、磁化方向が固定されている固定層と、外部磁界により磁化方向が変化可能な自由層 (感磁層) とからなる。

【0004】

これに対し、トンネル磁気抵抗（TMR：Tunneling Magneto-Resistive）効果を利用した磁気素子では、GMR素子に比べて抵抗変化率を格段に大きくすることができる。TMRとは、極薄の絶縁層を挟んで積層された2つの強磁性層（固定層と自由層）において、互いの磁化方向の相対角度により絶縁層を流れるトンネル電流値が変化する現象である。すなわち、トンネル電流は、両者の磁化が互いに平行なときに最大（素子の抵抗値は最小）、反平行のときに最小（素子の抵抗値は最大）となる。この原理により、TMR素子には抵抗変化率が40%以上にも及ぶものがある。また、TMR素子は高抵抗であり、MOSFET（Metal-Oxide-Semiconductor/Field Effect Transistor）等とのマッチングが取り易いとされている。こうした利点から、TMR-MRAMは、高出力化が容易であり、記憶容量やアクセス速度の向上が期待されている。

【0005】

これらのMRAMでは、素子の違いこそあれ、情報の書き込みは同様の方式で行われる。すなわち、書込線に電流を流して磁界を誘導し、この電流磁界によって自由層の磁化方向を制御する。これにより、強磁性層間の相対的な磁化方向が平行または反平行となり、対応する2値情報が記憶される。

【0006】

例えば、従来のTMR-MRAMは、以下のような構成となっている。図24に示したように、一直線状に延びるビット線201、書込用ワード線202が互いに直交し、その交差領域の各々に配設されたTMR素子205（回路上では、抵抗器として表現される）を単位とする点線の領域が記憶セルを構成している。ビット線201は、書き込み／読み出し兼用の配線であり、書き込み時にはビット方向のセル選択線として機能し、読み出し時にはセンス線として機能する。各ビット線201には、ビット選択用トランジスタ204のソースドレイン間が接続され、そのゲート端子に入力されるビットデコード値により選択された場合にだけ電流が流れるようになっている。書込用ワード線202も同様に、ワードデコード値に応じて選択されたものだけに電流が供給されるようになっている。よって、書き込み時の選択セルでは、ビット線201、書込用ワード線202の

双方に電流が流れる。

【0007】

また、読み出し動作のため、TMR素子205の一端はビット線201に接続され、他端はセル選択用トランジスタ206を介して接地されている。このセル選択用トランジスタ206のゲート端子は、セルのワード列ごとに設けられた読出用ワードデコード線203に並列接続されている。よって、読み出し時の選択セルでは、ビット線201から供給されたセンシング電流が、TMR素子205、セル選択用トランジスタ206を通して接地に向かって流れ落ちる。

【0008】

図25は、図24の矢印Aの方向からみた記憶セルの断面構造を表している。TMR素子205は、固定層207、絶縁層208および自由層209の積層体からなり、固定層207の磁化は図示の方向に固定され、自由層209の磁化は図示した両方向に反転可能である。TMR素子205における書き込み状態は、自由層209と固定層207の磁化の相対方向、つまりは自由層209の磁化の方向によって決まる。しかしながら、従来では、書き込み時にビット線201、書込用ワード線202に電流を流し、自由層209に対し直交する2方向に磁界を誘導するようになっていた。

【0009】

これは、磁界 H_x 、 H_y の合成磁界ベクトルが、図26に示した閉曲線（いわゆるアステロイド曲線）で規定される領域を超えると、この合成磁界によって自由層209の磁化方向を変化させることができるとするスイッチング磁界の理論に基づいている。この場合の自由層209は、一軸磁気異方性を有する薄膜であり、単一磁区構造をとり、磁化反転は一斉回転により生ずるものと仮定されている。また、磁界 H_x 、 H_y は、それぞれ自由層209の磁化困難軸方向、磁化容易軸方向における磁界成分である。合成磁界が自由層209の膜面内に磁化容易軸から角度 ϕ をなす方向に印加されるとき、磁化は、磁界から受けるトルクと、磁気異方性により磁化容易軸に向かうトルクとが釣り合う $0 < \theta < \phi$ なる角度を向く。こうした磁化スイッチングにおける臨界磁界は、図26の曲線で表される（ただし、 H_{sw} は磁化反転を可能とする印加磁界の閾値）。なお、このように

、マトリクス電極配線の両方向の各一をアドレス入力により特定し、所望のセルを一意に選択することは、マトリクス駆動方式の原理に則ったものである。

【0010】

また、マトリクス駆動方式では、選択用配線を用いて所定のセル列を半選択状態とする補助的なセル選択を行い、データ用配線に動作閾値を超えるデータ信号を与えることによって半選択セルの中から単一セルを選択し、その状態をデータに応じて制御するというのが一般的な考え方であり、MRAM以外のメモリや、デジタル駆動型ディスプレイもこうした動作原理に基づいて設計されている。この点についても従来のMRAMは例外ではなく、やはり同様の原理で駆動される。すなわち、ビット線201に図24、図25の白矢印の方向に電流を流し、バイアス磁界 H_x を一定の方向に発生させ、対応するビット列を半選択状態とする。一方、書込用ワード線202には双方向のうちデータに応じた方向に電流を流し、自由層209の磁化方向に対応する磁界 H_y またはその反転磁界 $-H_y$ を発生させる。これにより、半選択状態にあるビット列のうち、対応するワード列にあるセルについて、選択的にデータに応じた磁化方向制御を行う。

【0011】

ちなみに、ビット線201は、読み出し時にはセンス線として微弱な電圧または電流を検出するために用いることから、電流許容値が小さい兼用線として設計されているために、書き込み時に流す電流量も小さい。つまり、磁界 H_x は、比較的小さく、セル選択のために印加される方向固定のバイアス磁界とみなされている。

【0012】

これに対し、近年では、書き込み効率の向上を目的としたセル構造が提案されてきている。例えば、図27のように、記憶セル211に閉磁路構造を導入し、自由層214の末端における反磁界の影響を低減させ、その磁化を安定させる技術が開示されている（特許文献1参照）。記憶セル211は、積層された固定層212、絶縁層213、自由層214と、閉磁路層215とを備えている。閉磁路層215は、自由層214の磁化反転を促進すると共に、外部漏洩磁界に対する磁化の安定化にも寄与する。そのため、記憶セル211は微細化が可能となり

、例えば図 28 のように書込線を曲折することによって書込線の最小周期を低減し、高集積化させることが提案されている。同図では、ワード線 217 は一直線状とし、ビット線 216 を曲折させている。

【0013】

同様の配線構造は、特許文献 2 においても提示されている（図 29）。ただし、この場合には、書込線 221 を配線幅 a 、折れ曲がり部長さ b として曲折し、そこに流れる書込電流と書込線 222 の書込電流との相対方向を制御するようになっている。こうして、図 30 に示したように、書込線 221 の書込電流による誘導磁界 H_1 を、書込線 222 の書込電流による誘導磁界 H_2 に対して相対角 $\theta = \tan^{-1}(b/a)$ の向きに発生させ、磁界 H_1 、 H_2 の合成ベクトル H_{12} の大きさを、これらが直交する場合よりも大きくすることを目的としている。

【0014】

【特許文献 1】

特開 2001-273759 号公報

【特許文献 2】

特開 2002-289807 号公報

【0015】

【発明が解決しようとする課題】

しかしながら、本発明の発明者らは、以上のように記憶セルにおける書込線を平行に近づける場合に、従来の配線構造や書込方法を踏襲すると確実な書き込みがなされないおそれが十分にあることに気づいた。

【0016】

従来の MRAM 回路では、書込用ワード線 202 に対しては、データに応じて反転した方向に書込電流を流す必要から、正極性または負極性のパルスを与えることで電流を双方向に流すことが可能となっている。ところが、ビット線 201 には、固定バイアス磁界 H_y を与えるよう書込電流を一方向にしか供給しないというだけでなく、常に一方向（図 24、25 の白矢印の方向）の電流しか流せないような構造になっている。

【0017】

仮にビット線 201 に負極性のパルス電圧を印加し、図 24 の白矢印とは反対方向に電流を流そうとすると、この電流はビット線 201 に接続された各セルのセル選択用トランジスタ 206 を通過して流れることになる。すなわち、セル選択用トランジスタ 206 は、一般にエンハンスメント型 MOS トランジスタであり、いま、書き込み動作のためオフ状態にあるセル選択用トランジスタ 206 のゲート電圧は 0 V もしくは負の電位となっているはずである。ここで、ドレイン側に負のパルスが印加されるようなことがあれば、ゲートはソース側とは 0 V の同電位か、より高い電位であるために、本来のソースとドレインの機能が逆転して、ソースからドレインに向かって電流が流れてしまうのである。

【0018】

このような従来の回路構成や駆動方法を適用して、図 30 のように磁界 H_1 , H_2 を印加しようとする、図 31 のように、磁界 H_1 と磁界 $-H_2$ による反転磁界ベクトル $-H_{12}$ は、方向が自由層 209 の磁化容易軸に対して磁界ベクトル H_{12} と対称ではなく、大きさが磁界ベクトル H_{12} より小さくなる。このため、2 値情報を等価な状態で書き込むことができず、そればかりか確実に書き込むことができないおそれがあった。

【0019】

このように、書込配線の構造を改良したとしても、単に従来の回路構成にはめ込むだけでは実用に供するものとはならない。反面、回路の全体構成についての改良は進んでおらず、MRAM の構成や駆動原理は従来から大きく変化していないのが現状である。また、こうした状況から、本発明の発明者らは、MRAM を実際にメモリとして駆動可能に改良すること、さらに、そのためには単に従来の回路において書込配線を改変するだけでなく、読出回路系を含むメモリ構造全体を合目的的に改良する必要があることに想到した。

【0020】

本発明はかかる問題点に鑑みてなされたもので、その目的は、確実に書き込みを行うことを可能とする新規な駆動方法に基づく磁気メモリデバイスおよび磁気メモリデバイスの書込方法を提供することにある。

【0021】

【課題を解決するための手段】

本発明の磁気メモリデバイスは、読出電流を流す読出線と、それぞれに対し双方向に書込電流を流すことが可能であるように読出線とは別体として配置されると共に、少なくとも一方が曲折されることにより互いに平行に延びる平行部分が形成された第1および第2の書込線と、印加磁界によって磁化方向が変化する感磁層を有し、平行部分に配置された磁気抵抗効果素子とを備え、第1および第2の書込線の少なくとも一方が、折り返し部分と、この折り返し部分と両端の各々との間を結ぶ第1および第2の部分とを含むようにループ状に構成され、平行部分に流れる書込電流によって生ずる磁界により感磁層の磁化方向が変化し、情報が書き込まれるものである。

【0022】

この磁気メモリデバイスでは、書込線は読出線とは完全に別体として設けられ、それゆえ、第1および第2の書込線の両方が双方向に電流を流すことが可能になっている。これらの書込線は、少なくとも一方が、第1の部分と第2の部分との間で折り返されたループ形状をなし、電流を往還させるようになっている。したがって、第1の部分と第2の部分では、大きさが等しく、相対的に反対向きの電流が流れる。さらにまた、第1および第2の書込線は、互いに平行に延びる複数の平行部分を形成するように少なくとも一方が曲折され、磁気抵抗効果素子はこれら平行部分に配置されている。すなわち、

第1および第2の書込線の各々に、双方向制御された書込電流を供給することによって、平行部分では書込電流の向きが揃い、互いに強め合うように磁界が発生し、これら印加磁界に応じて感磁層の磁化方向が変化する。この場合、書込線の少なくとも一方がループ状であるために、第1、第2の書込線がともに同一である平行部分は複数形成される。そこで、磁気抵抗効果素子は、適正に動作するように、書込電流の方向に対応して一意に選択可能であって2値状態を確実に書き込める位置に配置される。なお、本発明にいう「書込線が互いに平行」とは、製造上の誤差範囲 $\pm 10^\circ$ を含んでいる。

【0023】

書込線の配線構造としては、平行部分が、(1) 書込線の第1および第2の部

分のうちのいずれか一方が矩形波状または台形波状に曲折されることにより形成されているもの、あるいは(2)書込線の第1および第2の部分の双方が矩形波状または台形波状に曲折されることにより形成されているものが好ましい。書込線を矩形波状または台形波状に曲折すると、平行部分が効率よく設けられ、また、曲折される書込線からは、互いに隣接する磁気抵抗効果素子に対して相対的に逆方向に書込電流が供給される。書込線の第1および第2の部分の双方を曲折して平行部分を形成する場合には、さらに、第1の部分の曲折方向と第2の部分の曲折方向が一致していることが好ましい。このとき、書込線には、対向した第1の部分の平行部分と第2の部分の平行部分に、相対的に逆方向に電流が流れる。

【0024】

このような磁気メモリデバイスにおいては、一对の磁気抵抗効果素子により1つの記憶セルが構成されることは好ましい。すなわち、単独で1単位情報を記憶可能な磁気抵抗効果素子を2つ用いて、1つの単位情報が記憶される。この場合、記憶セルに書き込まれた情報を、差動読出方式で読み出すことができる。

【0025】

また、この磁気メモリデバイスは、第1および第2の書込線がともにループ状であって、第1および第2の書込線のいずれか一方の、第1および第2の部分が共に矩形波状または台形波状となり、かつ、第1の部分の曲折方向と第2の部分の曲折方向とが一致するように曲折されることにより、一对の第1および第2の書込線において4つの平行部分が設けられ、第1の部分に設けられた2つの平行部分に配置された一对の磁気抵抗効果素子が第1のグループに属する記憶セルを構成し、第2の部分に設けられた2つの平行部分に配置された一对の磁気抵抗効果素子が第2のグループに属する記憶セルを構成していることが好適である。このように、第1および第2の書込線がともにループ形状であって、上記のように曲折されていると、一对の第1および第2の書込線において、曲折された書込線の第1の部分と第2の部分のそれぞれに2つの平行部分が形成される。この場合に、第1の部分の各平行部分に配置される一对の磁気抵抗効果素子と、第2の部分の各平行部分に配置される一对の磁気抵抗効果素子は、それぞれを1つの記憶セルとして別々に動作させることができる。さらに、記憶セルは、第1の書込線

と第2の書込線の組み合わせによって複数形成されるが、そのうち第1の部分に設けられた記憶セルを第1のグループに、第2の部分に設けられた記憶セルを第2のグループに分けることで、1つの記憶セルの選択が可能となる。

【0026】

そのためには、第1および第2のグループのいずれに書込対象の記憶セルが属しているのかを示すアドレス情報と、書き込むべき書込情報とが入力され、アドレス情報および書込情報に基づき、第1および第2の書込線に供給する書込電流の方向を選択する書込用論理制御部を備えることが望ましい。上記の構成では、第1の部分の記憶セルと第2の部分の記憶セルがループ形状となった同じ書込線を利用しており、書込対象の記憶セルがいずれであるかによって第1および第2の書込線に供給する書込電流の方向は異なってくる。書込電流の方向は、当然、書き込むデータによっても異なる。書込用論理制御部は、この2つの条件から第1および第2の書込線に供給する書込電流の方向を一意に決定し、出力する。

【0027】

また、この磁気メモリデバイスは、第1および第2の書込線のうちループ形状をなす書込線の両端が接続され、書込線における書込電流の方向を双方向に制御する電流方向制御部と、書込線における書込電流の量を一定値に制御する電流量制御部とを含んで構成され、書込線に書込電流を供給する書込電流駆動回路を備えることが好ましい。このような書込電流駆動回路を用いると、電流方向制御部により、書込電流の方向は書込線の両端のうちの一方に流入して他方から流出するように双方向に切り替えられ、なおかつ、電流量制御部により、書込線に流入してから流出するまでの間の電流量が常に一定となるよう制御される。なお、本発明の磁気メモリデバイスにおいて「接続され」とは、少なくとも電氣的に接続された状態を指し、物理的に直接に接続されていることを必ずしも条件としない。また、本発明においていう「書込電流の量を一定値に制御する」とは、書込線に流入する前、または流入端における書込電流量を制御対象としたものではなく、書込電流の大きさを書込線の一端に流入してから他端から流出するまでの書込線全体にわたって一定値とするような定電流制御を意味している。

【0028】

なお、この書込電流駆動回路は、前述の書込用論理制御部により動作制御されるようにするとよい。すなわち、この書込電流駆動回路を備えると共に、書込用論理制御部において選択された第1および第2の書込線に供給する書込電流の方向が、電流方向を制御するための方向制御情報として電流方向制御部に出力され、電流方向制御部は、方向制御情報に基づいて書込線における書込電流の方向を制御するように構成されることが好ましい。

【0029】

電流方向制御部は、具体的には、書込線の両端に対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第1および第2の電流スイッチ、からなる第1の差動スイッチ対と、第1および第2の電流スイッチに対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第3および第4の電流スイッチ、からなる第2の差動スイッチ対とを含み、第1の差動スイッチ対は、書込線の両端のいずれか一方を書込電流の流入側として選択する機能を有し、第2の差動スイッチ対は、書込線の両端のうち他方を書込電流の流出側として選択する機能を有するものである。なお、一般的なスイッチング素子における開閉状態（オンオフ状態）とは、導通状態（あるいは流れる電流量が閾値以上の状態）としてのオン状態に対し、ほとんど電流を流さない実質的な遮断状態（あるいは流れる電流量が閾値以下の状態）をオフ状態とする場合を想定している。この場合のオン状態とオフ状態は、それぞれ定常的に規定されたものであり、各々の状態をデジタル的に判別可能である。対して、本発明における電流スイッチの「開閉状態（オン／オフ状態）」は、このような2状態を含むが、それだけにはとどまらず、差動スイッチ対として対をなす電流スイッチにて差動動作時に生じる相対的な2状態、より多くの電流を流す方をオン状態、より少ない電流しか流せない方をオフ状態とする場合をも含んだ概念である。

【0030】

この電流方向制御部では、第1の差動スイッチ対の第1の電流スイッチと第2の電流スイッチは、互いに反対の開閉状態（オン／オフ状態）となる。書込線の両端のうち、対応する電流スイッチがオン状態の側は導通し、電流が流れることが許容されるが、対応する電流スイッチがオフ状態の側は遮断され、電流が流れ

ないようになる。こうして、書込線の両端のうち、第1の差動スイッチ対のオン状態の電流スイッチに制御される側が、書込電流流入側として選ばれる。また、第2の差動スイッチ対では、第3の電流スイッチが、第1の電流スイッチ同様、書込線の一端に対応して設けられ、第4の電流スイッチが、第2の電流スイッチ同様、書込線の他端に対応して設けられている。第3の電流スイッチと第4の電流スイッチは、互いに反対の動作状態となり、第2の差動スイッチ対は第1の差動スイッチ対と同様に作用する。これにより、書込線の両端のうち、第2の差動スイッチ対のオン状態の電流スイッチに制御される側が、書込電流流出側として選ばれる。こうして、電流方向制御部では、書込電流の方向が一意に定められる。

【0031】

このように、互いに書込線の異なる側を選択するよう、第1および第2の差動スイッチ対を協働させるためには、例えば、電流方向制御部が、第1の電流スイッチと第4の電流スイッチが同じ開閉状態となり、第2の電流スイッチと第3の電流スイッチが、第1および第4の電流スイッチとは反対の開閉状態となるように制御を行う差動制御手段を含むようにすればよい。

【0032】

このような磁気メモリデバイスは、第1および第2の書込線に供給される書込電流により生ずる磁界が、書込対象の記憶セルにおいては互いに同一方向を向くように感磁層に印加されるものであることが好ましい。例えば、磁気抵抗効果素子は、書込線の平行部分のうち、平行部分と直交する方向にのみ磁界が生じる領域に配置されることにより、書込電流に誘導される磁界を平行とし、その方向を単一方向に揃えることができる。ある磁気抵抗効果素子が書込対象となれば、それが配置されている平行部分においては、向きが揃うように書込電流が供給される。このとき生じる磁界の方向は、感磁層の磁化反転方向そのものであり、第1および第2の書込線が共に情報に対応する方向に磁界を誘導するものとして駆動されることを意味している。また、このような第1および第2の書込線において生ずる磁界の大きさを相等しいものとすれば、平行部分において方向が揃い、互いに強めあう場合には書き込みが可能となり、反対を向いて互いに打ち消し合う

場合には書き込みを不能とすることができ、これを利用して書き込みセルの選択を行う駆動制御がなされる。

【0033】

また、本発明の磁気メモリデバイスにおける磁気抵抗効果素子は、感磁層を含む積層体を含み、この積層体の一方の面側に、積層面に沿った方向を軸方向とし、第1および第2の書込線の平行部分によって軸方向に沿って貫かれるように構成された環状磁性層が設けられていることが好適である。この「環状磁性層」の「環状」とは、少なくとも内部を貫通する書込線からみたときに、それぞれの周囲を磁氣的かつ電氣的に連続して完全に取り囲み、書込線を横切る方向の断面が閉じている状態を示している。よって、環状磁性層は、磁氣的かつ電氣的に連続である限りにおいて絶縁体が含有されることを許容し、製造過程において発生する程度の酸化膜を含んでいてもよい。「軸方向」とは、この環状磁性層単体に注目したときの開口方向、すなわち内部を貫通する書込線の延在方向を指す。さらに、「積層体の一方の面側に…設けられ」とは、環状磁性層が積層体の一方の面の側に積層体とは別体として配設される場合のほか、環状磁性層が積層体の一部を含むように配設される場合をも含む、という趣旨である。このような磁気抵抗効果素子は、書込線に電流が流れると環状磁性層に閉磁路を形成することから、感磁層の磁化反転が効率よく行われる。

【0034】

本発明の磁気メモリデバイスの書込方法は、第1および第2の書込線を読出線とは別体とし、双方向に書込電流を流すことが可能なように構成すると共に、第1および第2の書込線の少なくとも一方を、両端のそれぞれと折り返し部分との間を結ぶ第1および第2の部分を含むループ形状とし、さらに、第1および第2の書込線の少なくとも一方を曲折しつつ互いに交差させて第1および第2の書込線が互いに平行に延びる平行部分を設け、これらの平行部分に磁気抵抗効果素子を配置し、平行部分における第1および第2の書込線に流れる書込電流が、ともに、書き込む情報に対応した第1および第2の方向のいずれか一方向を向くように、第1および第2の書込線に書込電流を供給し、書込電流により生ずる磁界によって感磁層の磁化方向を変化させて情報を書き込むものである。

【0035】

本発明の磁気メモリデバイスの書込方法では、まず、第1および第2の書込線を、読出線とは別体とすることにより双方向に電流を流すものとし、さらに、少なくとも一方をループ形状とすると共に、少なくとも一方を曲折して互いに平行に延びる平行部分を形成する必要がある。これら平行部分に配置される磁気抵抗効果素子には、第1の書込線、第2の書込線とも、双方向のうち書き込む情報に応じた方向に書込電流が供給され、書込電流に誘導される磁界によって感磁層の磁化方向が変化して情報が書き込まれる。

【0036】

より具体的には、一对の平行部分のそれぞれに2つの磁気抵抗効果素子の各々を配置し、第1および第2の書込線に対し、一对の平行部分の各々において方向が一致し、かつ、一对の平行部分の相互間では方向が反対向きとなるように書込電流を供給することにより、2つの磁気抵抗効果素子の各感磁層の磁化方向を互いに反平行となるように変化させ、2つの磁気抵抗効果素子を1つの記憶セルとして情報を書き込むことが好ましい。ここでいう「磁化方向が互いに反平行」とは、互いの磁化方向、すなわち、磁性層内の平均磁化の方向のなす角度が厳密に 180° である場合のほか、製造上生ずる誤差や完全に単軸化されなかったが故に生じる程度の誤差等に起因して互いの磁化方向のなす角度が 180° から所定角度だけ外れている場合も含む。1つの記憶セルでは、2値情報に対応して、一对の磁気抵抗効果素子の感磁層の磁化が互いに向き合うか、反対向きとなるかの2状態のうちどちらかの状態に制御される。

【0037】

さらに、第1および第2の書込線の双方をループ形状となすと共に、第1および第2の書込線のいずれか一方の第1および第2の部分を互いの曲折方向が一致するように矩形波状または台形波状に曲折し、一对の第1および第2の書込線において4つの平行部分を設け、第1の部分に設けられた2つの平行部分に一对の磁気抵抗効果素子を配置することにより第1のグループに属する記憶セルを構成し、第2の部分に設けられた2つの平行部分に一对の磁気抵抗効果素子を配置することにより第2のグループに属する記憶セルを構成し、一对の第1および第2

の書込線に対し、第1および第2のグループに属する2つの記憶セルのうち書込対象の記憶セルでは、2つの平行部分の双方において第1の書込線と第2の書込線に同方向、しかも2つの平行部分相互間では逆方向に流れるように書込電流を供給すると共に、他方の記憶セルでは、2つの平行部分の双方において、第1の書込線と第2の書込線に互いに逆方向に流れるように書込電流を供給することにより、一方の記憶セルにおける一对の磁気抵抗効果素子においてのみ各感磁層の磁化方向を変化させ、選択的に情報を書き込むようにすると、より好適である。

【0038】

このとき、第1および第2の書込線のいずれか一方の第1および第2の部分で互いの曲折方向が一致するように矩形波状または台形波状に曲折することにより、第1の部分に設けられた平行部分と第2の部分に設けられた平行部分とでは、いずれか一方でしか第1および第2の書込線の電流方向が揃わないようになっている。つまり、書込対象の記憶セルにて、2つの平行部分ともに第1および第2の書込線の電流方向を一致させると、書込対象でない記憶セルでは、2つの平行部分とも第1の書込線と第2の書込線の電流方向は逆向きになる。よって、第1のグループの記憶セルと、第2のグループの記憶セルは同時に選択されず、いずれか一方に対して選択的に書き込みが行われる。なお、書込対象の記憶セルには、2つの平行部分の相互間では互いに逆方向に書込電流を供給し、一对の磁気抵抗効果素子における各感磁層の磁化方向を互いに反平行に変化させる。

【0039】

このようにして情報の書き込みを行うにあたっては、第1および第2の書込線のうちループ形状をなす書込線に対し、両端のいずれか一方を書込電流の流入側、他方を流出側として選択することにより、書込電流の方向を制御し、この書込線上を一定の電流値で流れるように制御しつつ、書込電流を供給することが好ましい。これにより、書込電流は、書込線上での大きさと方向とが共に制御され、書込線に供給される。

【0040】

また、感磁層に対し互いに同一方向を向く磁界を印加することにより、情報を書き込むようにすることが好ましい。つまり、印加磁界の向きを、書き込む情報

に応じて単一方向に揃える。この場合、第1および第2の書込線の各誘導磁界の総和は感磁層においては単一磁界とみなすことができ、感磁層の磁化はこの磁界の方向に、いわば強制的に反転される。

【0041】

さらに、これら感磁層に印加する各磁界の大きさを相等しくなるようにすれば、単一方向を向いて互いに強めあう場合には書き込みが可能となり、反対方向を向いて互いに相殺される場合には書き込みは不能となる。

【0042】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0043】

〔第1の実施の形態〕

図1は、本発明の第1の形態に係る磁気メモリデバイスの全体の構成を表している。この磁気メモリデバイスは、半導体メモリチップとして具現化されるMRAMであり、アドレスバッファ110、X方向周辺駆動回路120、Y方向周辺駆動回路130、記憶セル群140、データバッファ150および制御ロジック部160を主要な構成要素としている。このうち、X方向周辺駆動回路120は、X方向アドレスデコーダ121、読み出しのための定電流回路122、書き込みのためのX方向カレントドライブ123からなる。Y方向周辺駆動回路130は、Y方向アドレスデコーダ131、読み出しのためのセンスアンプ132、書き込みのためのY方向カレントドライブ133からなる。

【0044】

図2は、そのうちの記憶セル群と周辺の書込回路系、および読出回路系の構成を表すブロック図である。記憶セル群140は、多数の記憶セル12がワード線方向（X方向）、ビット線方向（Y方向）にマトリクス状に配列して構成されている。なお、以下では、記憶セル群140における記憶セル12の各列をワード列、各行をビット列と呼ぶ。

【0045】

まず書込回路系をみる。ここでは、書込用ビット線6X、書込用ワード線6Y

(以下、書込線 6 X, 6 Y) の双方がループ状となっている。また、書込線 6 X が、書込線 6 Y と交差する度に曲折され、矩形波状となることで、書込線 6 X, 6 Y が互いに平行となる平行部分が形成されている。すなわち、書込線 6 X, 6 Y の一対からは 4 つの平行部分が形成され、平行部分のそれぞれに磁気抵抗効果素子 (12 A, 12 B) が配置されている。さらに、1 つの記憶セル 12 は、ワード線方向に隣接する一対の磁気抵抗効果素子 12 A, 12 B からなるものとされ、書込線 6 X ($\dots, 6 X_n, 6 X_{n+1}, \dots$) には、折り返し部分を間に上段と下段のそれぞれに記憶セル 12 が配設されている。

【0046】

また、個々の書込線 6 X は、対応する X 方向カレントドライブ 123 に両端が接続され、個々の書込線 6 Y は、対応する Y 方向カレントドライブ 133 に両端が接続されている。すなわち、書込線 6 X ($\dots, 6 X_n, 6 X_{n+1}, \dots$) と X 方向カレントドライブ 123 は 1 対 1 に対応しており、これに対応する記憶セル 12 のワード列は、書込線 6 X の上段、下段の 2 列である。一方、書込線 6 Y ($\dots, 6 Y_n, 6 Y_{n+1}, \dots$) と Y 方向カレントドライブ 133 もやはり 1 対 1 に対応しており、これに記憶セル 12 のビット列が対応している。

【0047】

そこで、本実施の形態では、書込線 6 X における上段側の記憶セル 12 を偶数番地の記憶セル 12 E v、下段側の記憶セル 12 を奇数番地の記憶セル 12 O d とし、それぞれを、偶数番地の記憶セル群 E v と奇数番地の記憶セル群 O d のグループに分けて駆動制御を行うものとしている。これは、同じビット列で書込線 6 X の上段、下段に配置された一対の記憶セル 12 E v, 12 O d を選択すると共に、動作対象の記憶セル 12 が記憶セル群 E v, O d のいずれかに属するかを判断する、というものである。

【0048】

なお、書込線 6 X, 6 Y は、読出線とは別体として配置されている。図 2 における読出線とは、ビット列ごとに配設されているセンスビット線 21 A, 21 B である。センスビット線 21 A には磁気抵抗効果素子 12 A が、センスビット線 21 B には磁気抵抗効果素子 12 B が、それぞれ後述する読出センシング用導線

11により接続され、双方を流れるセンシング電流は、センスアンプ132にて差動増幅されるようになっている。

【0049】

ここでは、読出回路系は、記憶セル群12Ev, 12Odによって分けられ、2系列設けられている。センスビット線21A, 12Bは、記憶セル群12Ev, 12Odに対応して2本ずつ設けられ、それぞれ、センスアンプ132Ev, 132Odに接続されている。なお、同じビット列に対応するセンスアンプ132Ev, 132Odは、同一のビットデコード値($\dots, Y_n, Y_{n+1}, \dots$)により選択される。また、センスアンプ132Evの群とセンスアンプ132Odの群は、別々にカスケード接続され、出力用マルチプレクサ153, 出力バッファ154に接続される。センスアンプ132Evの出力とセンスアンプ132Odの出力は、出力用マルチプレクサ153にてグループ選択信号線106から入力される最下位ビットのアドレス信号A₀に基づき、一方が選択される。選ばれたセンスアンプ出力は、出力バッファ154から読出データ信号(Dout)として出力される。

【0050】

この磁気メモリデバイスでは、このような記憶セル群140および周辺回路を駆動するために、そのほかの構成要素は以下のように構成されている。

【0051】

アドレスバッファ110は、外部アドレス入力端子A₀～A₂₀を備え、アドレス線101, 102を介してX方向アドレスデコーダ121, Y方向アドレスデコーダ131に接続されている。このアドレスバッファ110は、外部アドレス入力端子A₀～A₂₀から記憶セル12を選択するためのアドレス信号を取り込み、内部バッファ増幅器にて、アドレスデコーダ121, 131で必要な電圧レベルまで増幅する機能を有している。また、増幅したアドレス信号を記憶セル12のワード列方向(X方向), ビット列方向(Y方向)に分け、アドレスデコーダ121, 131のそれぞれに入力するようになっている。

【0052】

なお、外部アドレス入力端子A₀から入力される最下位ビットのアドレスは、

ここでは、選択する記憶セル 12 が偶数番地の記憶セル群 E v、奇数番地の記憶セル群 O d のいずれに属するかを示す情報とみなされる。よって、この信号電圧を番地選択信号 A₀ とし、これだけはグループ選択信号線 106 を介してデータバッファ 150 に送出されるようになっている。ちなみに、磁気メモリデバイスが記憶セル群 140 を複数有している場合、アドレスバッファ 110 には、複数の記憶セル群 140 から 1 つの記憶セル群 140 を選択するためのアドレス信号もまた入力される。

【0053】

データバッファ 150 は、外部とデジタルデータ信号のやり取りを行うための外部データ端子 D0 ～D7 を備えると共に、制御ロジック部 160 と制御信号線 107 により接続されている。このデータバッファ 150 は、入力系として入力バッファ 151、書込用論理制御部 152、および出力系として読出用マルチプレクサ 153、出力バッファ 154 を備えている。なお、入力バッファ 151、出力バッファ 154 は、それぞれ制御ロジック部 160 からの制御信号によって動作するようになっている。

【0054】

入力バッファ 151 は、メモリ書き込み時に外部データ端子 D0 ～D7 からデータ信号を取り込み、このデータ信号を内部バッファ増幅器で必要とされる電圧レベルまで増幅し、書込用論理制御部 152 に入力する。

【0055】

書込用論理制御部 152 は、入力バッファ 151 からデータ信号を、グループ選択信号線 106 から番地選択信号 A₀ を受け取り、これらを基に、上位ビットアドレスによって選択されたカレントドライブ 123、133 の動作制御を行うようになっている。すなわち、カレントドライブ 123、133 が書込線 6 X、書込線 6 Y のそれぞれに対し、①一対の記憶セル 12 E v、記憶セル 12 O d のいずれに、②「1」、「0」のいずれを書き込むか、に応じた方向に電流を流すように、書き込み用データバス 103、104 を介して X 方向カレントドライブ 123、Y 方向カレントドライブ 133 のそれぞれにデータ信号 XDin、YDin およびリファレンス信号 XRef、YRef を送出する。

【0056】

読出用マルチプレクサ153は、読出用データバス105、グループ選択信号線106に接続され、それぞれより、センスアンプ132の出力と番地選択信号A₀とが入力される。センスアンプ132からは、前述のように記憶セル群12E_v、記憶セル群12O_dの双方に対応する2つのデータが入力される。そこで、番地選択信号A₀を用い、このうち読出対象の記憶セル12の出力である方を選択し、出力バッファ154に入力する。出力バッファ154は、内部バッファ増幅器を備え、メモリ読み出し時に入力される読出データ信号を、低インピーダンスで外部データ端子D0～D7に出力する機能を有している。

【0057】

制御ロジック部160は、入力端子CS、入力端子WEを備え、データバッファ150に制御信号線107で接続されている。制御ロジック部160は、記憶セル群140に対する動作制御を行うものであり、入力端子CSからは、磁気メモリデバイスの書き込み／読み出し動作をアクティブにするか否かの信号（チップセレクト；CS）が入力される。また、入力端子WEからは、書き込み／読み出しを切り替えるための書き込み許可信号（ライトイネーブル；WE）が入力される。この制御ロジック部160は、入力端子CS、入力端子WEより取り込んだ信号電圧を、内部バッファ増幅器により周辺駆動回路120、130にて必要な電圧レベルまで増幅する機能を有すると共に、増幅後の信号を周辺駆動回路120、130のそれぞれに送出するようになっている。

【0058】

（記憶セルの構成）

図3は、本実施の形態に係る記憶セルの構成を示す断面図である。各記憶セル12の磁気抵抗効果素子12A、12Bは、GMRまたはTMRを利用した磁気抵抗効果素子である。ここでは、一具体例として、磁気抵抗効果素子12A、12BがTMR素子である場合について説明する。

【0059】

記憶セル12は、基板10の一面に形成された、左右1対の磁気抵抗効果素子12A、12Bからなる。磁気抵抗効果素子12A、12Bは、第1の磁性層1

、非磁性層 2、第 2 の磁性層 3 が積層した積層体と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に、書込線 6 X、6 Y によって軸方向に貫かれるように構成された環状磁性層 5 とを含んで構成されている。第 2 の磁性層 3 と環状磁性層 5 は、非磁性導電層 4 を介して接合され、電氣的に接続されている。また、磁気抵抗効果素子 1 2 A、1 2 B には、積層体の上面（環状磁性層 5 とは反対側の面）に読出センシング用導線 1 1 が設けられ、積層体に対し、積層面に垂直方向の電流を基板 1 0 に向かって流すことができるように構成されている。

【0060】

第 1 の磁性層 1 は、磁化方向の固定された強磁性層であり、第 2 の磁性層 3 は、外部磁界によって磁化方向が変化する強磁性層（感磁層）である。これらは、数 nm（数 10 Å）と非常に薄い非磁性層 2 を挟んで積層されている。この積層体において、第 1 の磁性層 1 と第 2 の磁性層 3 との間に、積層面に垂直方向の電圧を印加すると、例えば第 2 の磁性層 3 の電子が非磁性層 2 を突き抜けて第 1 の磁性層 1 に移動してトンネル電流が流れる。すなわち、ここでの非磁性層 2 は、トンネルバリア層である。このトンネル電流は、非磁性層 2 との界面部分における第 1 の磁性層 1 のスピンの第 2 の磁性層 3 のスピンの相対的な角度によって変化する。第 1 の磁性層 1 のスピンと第 2 の磁性層 3 のスピンの相対的な角度が互いに平行な場合に磁気抵抗効果素子 1 2 A（1 2 B）の抵抗値は最小、反平行のときに最大となる。

【0061】

非磁性層 2 の厚みは、トンネル抵抗等を基にして決められる。一般に、TMR 素子を用いた磁気メモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗は数 10 kΩ・(μm)² 程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速化を図るためには、トンネル抵抗は、10 kΩ・(μm)² 以下、さらに好ましくは 1 kΩ・(μm)² 以下とすることが好ましい。そうしたトンネル抵抗値を実現するためには、非磁性層（トンネルバリア層）2 の厚みは 2 nm 以下、さらに好ましくは 1.5 nm 以下とすることが望ましい。ただし、非磁性層 2 の厚みをあまり薄

くすると、トンネル抵抗を低減することができる一方で、第1の磁性層1および第2の磁性層3との接合界面の凹凸に起因するリーク電流が生じ、MR比が低下してしまうおそれがある。これを防止するため、非磁性層2の厚みはリーク電流が流れない程度の厚みを有する必要がある、具体的には0.3 nm以上の厚みであることが望ましい。

【0062】

第2の磁性層3は、書込線6X、書込線6Yに書込電流を流したときに生じる誘導磁界によって磁化方向が変化し、第1の磁性層1の磁化との相対角度が反転するようになっている。ここでは、第2の磁性層3の磁化反転は、書込線6X、6Yの平行部分において生じる磁界を利用して行われ、これらの磁界は、第2の磁性層3に対し互いに同一方向を向くようになっている。つまり、ここで生ずる磁界は単一の方法、第2の磁性層3の磁化の変化方向に印加され、磁化の向きを直接決定するように作用するものとなる。そのためには、磁気抵抗効果素子12A(12B)は、書込線6X、6Yの平行部分のうち、平行部分と直交する方向にのみ磁界が生じる領域に配置されることが好ましい。例えば、書込線6X、6Yの平行部分の長さ、磁気抵抗効果素子12A(12B)の長さとの寸法比率や、磁気抵抗効果素子12A(12B)の平行部分上の配置などを考慮することによって実現できる。

【0063】

これにより、第2の磁性層3の磁化方向は、確実に制御される。また、この印加磁界は、大きさが直交配線に誘導される直交磁界を合成したものよりも大きく、なおかつ、方向を正反対の向きに反転させることから、第2の磁性層3では磁化反転効率が高く、従来よりもトンネル抵抗変化率を大きくすることができる。そのため、書き込み動作を効率よく行うことが可能である。

【0064】

このように、第2の磁性層3は、磁化方向が、強制的に平行印加磁界の方向に制御されるようになっていることから、その磁気的性質は印加磁界の大きさ等との相対的な関係に応じて決められる。例えば、印加磁界の強さが十分であれば、第2の磁性層3における磁気異方性は考慮しなくともよくなる。また、その場合

に単一磁区構造に限らず、バルク構造をとることもできる。なお、従来においては、直交成分を有する誘導磁界を利用して書き込みを行うことから、感磁層は、理想的には一軸磁気異方性を有し、単一磁区である必要があった。しかしながら、磁性層の薄膜から単一磁区を有する感磁層を形成することは容易ではない。さらに、感磁層の磁気異方性を制御するためには、精密に磁界条件を制御した磁界中熱処理等の工程が必要とされていた。これに対し、本実施の形態の第2の磁性層3については、上記の理由から磁氣的性質の制限がないため、形成が非常に容易である。

【0065】

また、第2の磁性層3の磁気特性や寸法などは、書き込み対象の記憶セル12がいわゆるマトリクス駆動方式に基づいて選択されることから、書込線6X、書込線6Yのいずれか一方だけではなく、双方に対し電流が同方向に流れるときのみ磁化反転が可能であるように設定される。なお、第2の磁性層3に磁気異方性を付与する場合には、第1の磁性層1の磁化に対し平行／反平行となる状態で磁化を安定化させるために、第2の磁性層3の磁化容易軸を第1の磁性層1の磁化固定方向（磁化容易軸方向）に平行とすることが好ましい。また、ここでは書込線6X、6Yを上下に揃えるようにしたが、これ以外に、例えば左右に平行に揃えるようにしてもよい。

【0066】

さらに、ここでは、書込線6Xと書込線6Yに互いに反対方向の電流を流す場合には、互いの誘導磁界が打ち消しあって書き込みに必要な磁界が生じないように設定される。具体的には、書込線6X、書込線6Yは互いに同じ大きさの書込電流が流れるように構成され、それぞれの誘導磁界の大きさが、第2の磁性層3において相等しくなるように設定されている。

【0067】

環状磁性層5は、図3において紙面に垂直方向の軸をもつ筒型の形状を有し、書込線6X、書込線6Yの互いに平行な部分を内包している。環状磁性層5は、高透磁率磁性材料からなり、図示したように断面形状が閉ループを描いている。そのため、書込線6X、6Yに流れる電流に誘導される磁界は、環状磁性層5の

断面と平行な面に沿って層内を還流する。このように、環状磁性層 5 は、誘導磁界の磁束を層内部に閉じ込め、第 2 の磁性層 3 の磁化を効率よく反転させる機能を有している。また同時に、外部に漏洩磁束を生じさせない電磁遮蔽効果も有している。なお、ここでは、環状磁性層 5 は、第 2 の磁性層 3 に一面で接する構成となっているため、磁界を第 2 の磁性層 3 に伝えやすく、近接する第 2 の磁性層 3 に対し高い磁束密度でもって磁界を印加することができる。

【0068】

なお、磁気抵抗効果素子 12A, 12B は、読出電流が、読出センシング用導線 11 から積層体に流れ込み、環状磁性層 5 から基板 10 へ通り抜けて流れるようになっている。そのため、トンネル電流を流す非磁性層 2 を除いた積層体の各層、および非磁性導電層 4, 環状磁性層 5 には、導電性を有する材料が用いられる。第 1 の磁性層 1, 第 2 の磁性層 3 には、例えば、コバルト鉄合金 (CoFe) が用いられ、その他単体のコバルト (Co)、コバルト白金合金 (CoPt)、ニッケル鉄コバルト合金 (NiFeCo) などを用いることができる。非磁性導電層 4 は、第 2 の磁性層 3 と環状磁性層 5 とを反強磁性結合させるように機能するものであり、例えば、ルテニウム (Ru)、銅 (Cu) などが用いられる。また、環状磁性層 5 には、鉄 (Fe)、ニッケル鉄合金 (NiFe)、Co, CoFe, NiFeCo 等を用いることができる。環状磁性層 5 は、書込線 6X, 6Y による磁界を集中させるために、透磁率ができるだけ大きい材料 (具体的には透磁率 2000 以上、より好ましくは 6000 以上) を用いることが好ましい。書込線 6X, 6Y は、アルミニウム (Al)、銅 (Cu) またはこれらの合金で構成され、絶縁膜によって互いに電氣的に絶縁されている。なお、書込線 6X, 6Y は、タングステン (W) と上記材料の少なくとも 1 種からなるようにしてもよく、その他、チタン (Ti)、窒化チタン (TiN)、アルミニウム (Al) が順に積層された構造などであってもよい。

【0069】

なお、後に動作説明において詳述するが、記憶セル 12 においては、磁気抵抗効果素子 12A, 12B の一方を低抵抗、他方を高抵抗として情報を記憶する。これは、2 つの磁気抵抗効果素子 12A, 12B からの出力を差動増幅して読み

出すためにほかならない。よって、対をなす磁気抵抗効果素子 12 A, 12 B は、抵抗値、磁気抵抗変化率、および第 2 の磁性層 3 の反転磁界の大きさが等しくなるように製造される必要がある。

【0070】

また、磁気抵抗効果素子 12 A, 12 B が形成される基板 10 の上には、エピタキシャル層 9 が形成され、さらにその上に導電層 8 および絶縁層 7 が形成されている。導電層 8 は、絶縁層 7 を介して互いに絶縁された導電層 8 A, 8 B になる。磁気抵抗効果素子 12 A, 12 B は、導電層 8 および絶縁層 7 の上面に形成されるが、それぞれ、その形成領域の少なくとも一部が導電層 8 A, 8 B の形成領域と重なるように位置決めされる。よって、磁気抵抗効果素子 12 A と磁気抵抗効果素子 12 B とは、分離絶縁されている導電層 8 A, 8 B にそれぞれ個別に接合され、互いに電氣的に絶縁されている。すなわち、ここでは、磁気抵抗効果素子 12 A と磁気抵抗効果素子 12 B が、電氣的に非導通であるように配線がなされている。

【0071】

また、ここでは、基板 10 を n 型シリコンウエハとする。一般に、n 型シリコンウエハには P (燐) の不純物拡散が施されており、基板 10 としては、P (燐) の高濃度拡散により n⁺⁺ 型となっているものを用いる。これに対し、エピタキシャル層 9 は、P (燐) が低濃度拡散されて n⁻ 型となるようにする。また、導電層 8 には金属を用いる。このとき、n⁻ 型半導体であるエピタキシャル層 9 と、金属の導電層 8 とを接触させると、バンドギャップが生じてショットキーダイオードが形成される。これが、本実施の形態における逆流防止用ダイオード 13 A, 13 B である。

【0072】

逆流防止用ダイオード 13 A, 13 B は、読出電流が逆流し、基板 10 側から磁気抵抗効果素子 12 A, 12 B を通過して流れることを防止するために設けられている。なお、磁気抵抗効果素子 12 A, 逆流防止用ダイオード 13 A と、磁気抵抗効果素子 12 B, 逆流防止用ダイオード 13 B とは、互いに絶縁された状態にある。

【0073】

次に、この磁気メモリデバイスにおける書込用の回路系の構成と、その動作について説明する。

【0074】

〔書込回路系の構成〕

図4は、この磁気メモリデバイスの書込回路系の構成を表している。なお、同図では、記憶セル群140やカレントドライブ123, 133はスペースが足りずに描ききれないため、 n 番目と、 $n+1$ 番目の構成単位に該当するもので代表させている。X方向アドレスデコーダ121は、書込用ワードデコード線16X ($\dots 16X_n, 16X_{n+1}, \dots$) を介してカレントドライブ123 ($\dots 123_n, 123_{n+1}, \dots$) に接続されている。Y方向アドレスデコーダ131は、書込用ビットデコード線16Y ($\dots 16Y_n, 16Y_{n+1}, \dots$) を介してカレントドライブ133 ($\dots 133_n, 133_{n+1}, \dots$) に接続されている。これらX方向アドレスデコーダ121, Y方向アドレスデコーダ131はそれぞれ、アドレスバッファ110から入力されるアドレス上位ビットに対応した選択信号を、書込用ワードデコード線16X, 書込用ビットデコード線16Yに送出するようになっている。これにより、カレントドライブ123の1つが選択されて動作可能な状態となり、カレントドライブ133からも1つが駆動対象として選択される。

【0075】

X方向カレントドライブ123, Y方向カレントドライブ133は、記憶セル12への書き込みの際に、それぞれ書込線6X, 書込線6Yに所定の大きさの電流を供給するための定電流源回路である。ここでは、カレントドライブ123, 133には、それぞれ、書込線6X, 6Yの一端がドライブポイントAに、他端がドライブポイントBに接続され、ドライブポイントA→B、またはドライブポイントB→Aの双方向に電流が供給可能となっている。

【0076】

また、ここでは、カレントドライブ123, 133が書込線6X, 6Yに供給する電流方向に応じて、①一対の記憶セル12Ev, 記憶セル12Odのどちらに、②「1」, 「0」のどちらを書き込むのが制御されるようになっている。

この書込電流の向きは、カレントドライブ123ではデータ信号XDin およびリファレンス信号XRef により選択され、カレントドライブ133ではデータ信号YDin およびリファレンス信号YRef により選択される。データ信号XDin , YDin は、前述のように書込用論理制御部152からカレントドライブ123, 133に入力されるものであり、リファレンス信号XRef, YRef は、データ信号XDin, YDin の反転信号である。

【0077】

図5は、この場合に書込用論理制御部で行われる論理制御の対応表であり、図6は書込用論理制御部の具体的一例を示している。「記憶セル12Ev, Odのどちらに何を書き込むか」には、対応表に示した4通りがあり、番地選択信号A₀ , データ信号Dinによって一意に決まる。なお、ここでは、カレントドライブ123, 133において電流をドライブポイントA→Bの方向に流す場合のデータ信号XDin, YDin を「1」とし、ドライブポイントB→Aの方向に流す場合のデータ信号XDin, YDin を「0」としている。書込用論理制御部152は、入力される番地選択信号A₀ , データ信号Dinにより識別される4通りの制御内容に、カレントドライブ123およびカレントドライブ133における供給電流方向の4つの動作パターンを1対1に対応させるように、データ信号XDin, YDin を決定する。

【0078】

(カレントドライブの構成)

ここで、本実施の形態におけるカレントドライブ123, 133の作用構成について説明しておく。図7は、カレントドライブの具体的構成を示し、図8はその機能に着眼した概念的な構成を表している。

【0079】

カレントドライブ123, 133は、(1) 書込線6X, 6Yに流す電流の向きを制御するスイッチとしての機能と、(2) その電流量を一定値に固定する機能とを兼ね備え、書込線6における抵抗ばらつきの影響を排除して安定した定電流を供給することができるものである。(1)電流方向の制御機能は、図8に示した電流方向制御部64により実現される。電流方向制御部64は、第1および第2の

差動スイッチ対 61, 62 および差動制御手段 63 (第 3 の差動スイッチ対) の 3 つの差動スイッチ対から構成される。

【0080】

第 1 の差動スイッチ対 61 は、スイッチ Q1, Q2 からなる。スイッチ Q1, Q2 は、電源 Vcc と書込線 6 の端部 A, B の間に設けられ、いずれか一方がオン状態、他方がオフ状態となることで、端部 A, B の一方に電源 Vcc からの電流を流入させる。第 2 の差動スイッチ対 52 は、スイッチ Q3, Q4 からなる。スイッチ Q3, Q4 は、書込線 6 の端部 A, B と接地との間に設けられ、いずれか一方がオン状態、他方がオフ状態となることで、端部 A, B の一方を接地まで導き、電流を流出させる。

【0081】

よって、スイッチ Q1 とスイッチ Q4 が閉じ、スイッチ Q2 とスイッチ Q3 が開いている間は、書込線 6 に点線方向の電流が流れる。また、スイッチ Q1 とスイッチ Q4 が開き、スイッチ Q2 とスイッチ Q3 が閉じている間は、書込線 6 には実線方向の電流が流れる。このような第 1 および第 2 の差動スイッチ対 51, 52 の相補的な動作は、差動制御手段 53 により制御される。差動制御手段 53 は、例えばスイッチ Q5, Q6 からなり、スイッチ Q3, Q4 のオン/オフ状態を差動センシングし、そのセンシング結果に基づいてスイッチ Q1, Q2 のオン/オフを制御することによって 2 つの差動スイッチ対 51, 52 を協働させる。

【0082】

スイッチ Q1 ~ Q6 は、図 7 の実回路ではそれぞれトランジスタ Q1 ~ Q6 に対応している。なお、トランジスタ Q3 のベース端子には、書き込むべきデータに基づくデータ信号が入力されるデータ信号線 14 (Din) が接続されている。トランジスタ Q4 のベース端子には、データ信号を反転させたリファレンス信号が入力されるリファレンス信号線 15 (Ref) が接続されている。

【0083】

また、(2) 書込線における定電流制御能は、電流量制御部 65 によって実現される (図 8 参照)。電流量制御部 65 は、書込線 6 よりも接地側に設けられ、書込線 6 から流れ出る電流の量を固定するように機能する。この電流量がすなわち

書込線 6 における電流量であるから、書込線 6 では、その抵抗値によらず常に一定量の電流が流れることになる。ちなみに、従来のカレントドライブでは、電流量制御は書込線に供給する前段で行うほかなく、これほど完全な定電流制御は実現していなかった。なお、図 8 では、電流量制御部 54 をスイッチ Q3, Q4 の各々と接地との間に設けられた 2 つの定電流源としたが、これは電流経路に沿って説明するための等価回路的な表現であり、実際にはトランジスタ Q3 とトランジスタ Q4 に共通配線された 1 つの定電流回路であってよい。

【0084】

図 7 では、トランジスタ Q8, 電流制限用の抵抗器 R4 およびワードデコード線 16X (ビットデコード線 16Y) に入力されるデコード信号電圧が、電流量制御部 65 に対応している。つまり、ここでは、カレントドライブ 123 (133) の前段でデコード信号を一定電圧とするよう設計されている。

【0085】

なお、トランジスタ Q7, Q8 は、デコード用半導体スイッチとしても機能する。カレントドライブ 123 のトランジスタ Q7, Q8 は、ベース端子にワードデコード線 16X ($\dots, 16X_n, 16X_{n+1}, \dots$) が接続されている。また、カレントドライブ 133 のトランジスタ Q8, Q7 は、ベース端子にビットデコード線 16Y ($\dots, 16Y_n, 16Y_{n+1}, \dots$) が接続されている。

【0086】

(カレントドライブの動作)

一具体例として、ワードデコード信号 X_n により選択されたカレントドライブ 123 が、書込線 6 X_n にドライブポイント A \rightarrow B の方向へ電流を供給する場合の動作をみる。このとき、データ信号線 14 に “Low” のデータ信号が、リファレンス信号線 15 に “High” のリファレンス信号がそれぞれ入力される。よって、トランジスタ Q3 はオフ状態、トランジスタ Q4 はオン状態となる。

【0087】

トランジスタ Q4 がオン状態となると、トランジスタ Q6 では、ベース電圧が降下し、エミッタ端子の電位と変わらなくなる。これにより、トランジスタ Q6 はオフ状態となる。一方、トランジスタ Q3 はオフ状態であるために、トランジ

スタ Q5 では、ベース端子はエミッタ端子に対して相対的に高い電圧がかかることになる。これにより、トランジスタ Q5 はオン状態となる。

【0088】

さらに、トランジスタ Q5 がオン状態となる結果、トランジスタ Q2 のベース電圧は降下し、トランジスタ Q6 がオフ状態であることから、トランジスタ Q1 のベース電圧は相対的に高くなる。これにより、トランジスタ Q1 は、より多くの電流を流すという意味でのオン状態、トランジスタ Q2 は、より少ない電流しか流れないという意味でのオフ状態となる。つまり、トランジスタ Q5、Q6 のオン/オフがベース端子の電圧レベルに与える影響により、トランジスタ Q1 は多くの電流を流すのに対し、トランジスタ Q2 はわずかな電流しか流さないように動作する。

【0089】

トランジスタ Q1 ~ Q6 の一連の動作の結果、電源 V_{cc} からの電流は、トランジスタ Q1、Q2 のうちオン状態であるトランジスタ Q1 の側を流れ、ドライブポイント A に流入する。トランジスタ Q3 はオフ状態であるため、この電流は、ドライブポイント A から書込線 $6X_n$ に流れ、ドライブポイント B から流出し、オン状態であるトランジスタ Q4 を通過して接地側へ流れ込む。

【0090】

すなわち、第1の差動スイッチ対ではトランジスタ Q1 がオン、トランジスタ Q2 がオフとなることで、ドライブポイント A が、書込線 $6X_n$ の電流流入側に選択されている。一方、第2の差動スイッチ対では、第1の差動スイッチ対とは相補的にトランジスタ Q3 がオフ、トランジスタ Q4 がオンとなることで、反対側のドライブポイント B が、書込線 $6X_n$ の電流流出側に選択されている。このようにして、カレントドライブ 123 から書込線 $6X_n$ に対し、ドライブポイント A → B の向きの書込電流が供給される。

【0091】

書込電流は、トランジスタ Q8、抵抗器 R4 を介して接地に導かれる。トランジスタ Q8、抵抗器 R4 の経路へ流入する書込電流の大きさ I は、抵抗器 R4 の抵抗値を R_c とすれば、次式で与えられる。

$$I(A) = (V_b - \phi') (Volt) / R_c (\Omega) \quad \dots (1)$$

V_b はトランジスタ Q8 のベース端子に入力される電圧レベル、 ϕ' はトランジスタ Q8 のベース-エミッタ間の順方向電圧である。これらが固定値であることから、抵抗値 R_c が決まれば流れる電流は一定値となること、抵抗値 R_c をパラメータとして電流値は一意に決まることがわかる。このようにして、書込電流は書込線 6 X_n より流出した経路上にて値が固定されるために、書込線 6 X_n においては常に一定値で流れる。

【0092】

一方、ドライブポイント B→A の向きに電流を流すには、データ信号線 14 に “High” のデータ信号を、リファレンス信号線 15 に “Low” のリファレンス信号を入力すればよい。これにより、第 1 ないし第 3 の差動スイッチ対 (トランジスタ Q1～Q6) は、上述の場合とは反対にスイッチングし、書込電流は、トランジスタ Q2 からドライブポイント B に流入し、書込線 6 X_n を通ってドライブポイント A から流出し、トランジスタ Q3 に流れ込む。

【0093】

〔書き込み動作〕

以上をふまえ、この磁気メモリデバイスにおける書込回路系の駆動方法を説明する。

【0094】

まず、記憶セル 12 における情報記憶方式について説明する。記憶セル 12 では、1 対の磁気抵抗効果素子 12 A, 12 B の第 1 の磁性層 1 は、ともに磁化が一定方向 (図 11, 図 13 ではともに右向き) に固定されているが、第 2 の磁性層 3 は互いに反平行となる向きに磁化される。このため、磁気抵抗効果素子 12 A, 12 B においては、それぞれの第 1 の磁性層 1 と第 2 の磁性層 3 の磁化方向の組み合わせは、必ず (反平行, 平行) か、(平行, 反平行) となる。よって、それぞれの状態に 2 値情報「0」, 「1」を対応させ、記憶セル 12 をいずれかの状態とすることで、1 つの記憶セル 12 に 1 ビットの情報を記憶することができる。なお、磁気抵抗効果素子 12 A (12 B) は、第 1 の磁性層 1 と第 2 の磁性層 3 の磁化方向が平行であれば、大きなトンネル電流が流れる低抵抗状態とな

り、反平行であれば小さなトンネル電流しか流れない高抵抗状態となる。つまり、対をなす磁気抵抗効果素子 12A, 12B は必ず一方が低抵抗、他方が高抵抗となって情報を記憶する。

【0095】

これら 2 つの記憶状態は、磁気抵抗効果素子 12A, 12B それぞれの第 2 の磁性層 3 の磁化方向を互いに反平行とすることで書き込まれるが、そのためには、磁気抵抗効果素子 12A と磁気抵抗効果素子 12B に、相対的に逆向きの電流を流す必要がある。

【0096】

次に、こうした記憶方式に基づく情報の書き込み方法について説明する。まず、アドレスバッファ 110 が、外部データ端子 A0 ~ A20 に入力されるアドレス信号の電圧を取り込んで内部バッファで増幅する。そのうち、上位ビットの信号は、アドレス線 101, 102 を通じてアドレスデコーダ 123, 133 に伝達される (図 1, 図 4)。アドレスの最下位ビットである番地選択信号 A0 は、グループ選択信号線 106 を介して書込用論理制御部 152 に送出される。また、データバッファ 150 は、外部データ端子 D0 ~ D7 に入力されるデータ信号の電圧を取り込んで入力バッファ 151 にて増幅し、これらを、番地選択信号 A0 が入力される書込用論理制御部 152 においてデータ信号 XDin, YDin に変換し、さらにデータ信号 XDin, YDin の反転信号であるリファレンス信号 XRef, YRef を生成する。

【0097】

アドレスデコーダ 121, アドレスデコーダ 131 は、書込時に、アドレスバッファ 110 から入力されるアドレス上位ビットの選択信号をそれぞれ、書込用ワードデコード線 16X ($\dots 16X_n, 16X_{n+1}, \dots$)、書込用ビットデコード線 16Y ($\dots 16Y_n, 16Y_{n+1}, \dots$) を介してカレントドライブ 123, 133 の各々に送出する。これにより、カレントドライブ 123, 133 の各一では、ワードデコード値もしくはビットデコード値が “High” となるためにトランジスタ Q7, Q8 が導通し (図 4, 図 7 等)、駆動対象に選択される。

【0098】

また、書込用論理制御部 152 からは、カレントドライブ 123, 133 それぞれの各データ信号線 14 にデータ信号 X Din, Y Din が、各リファレンス信号線 15 にリファレンス信号 X Ref, Y Ref が入力される。これにより、駆動対象に選択されたカレントドライブ 123, 133 において、書き込むべき記憶セル 12 と 2 値情報に応じて、書込線 6 X, 書込線 6 Y に流す書込電流の向きが決定される。

【0099】

このようにしてカレントドライブ 123, 133 を駆動させ、所望の書込線 6 X, 書込線 6 Y に対し、所望の方向の書込電流を供給する。これにより、記憶セル 12 が一意に選択され、書込電流の方向に応じてビットデータが書き込まれる。

【0100】

例えば、カレントドライブ 123_n , カレントドライブ 133_n を用いて、対応する一对の記憶セル 12 のうち、偶数番地の記憶セル群 $12E_v$ に属する記憶セル $12E_v$ に「1」を書き込むには、図 5 に示した論理に従ってカレントドライブ 123_n , カレントドライブ 133_n を駆動するとよい。すなわち、図 10 に示したように、カレントドライブ 123_n , 133_n が共にドライブポイント $A \rightarrow B$ の向きに電流を流すようにする。

【0101】

このとき、書込線 $6X_n$ の曲折により、記憶セル $12E_v$ の磁気抵抗効果素子 $12A$, $12B$ の領域では、互いの向きが揃い、かつ、磁気抵抗効果素子 $12A$ と磁気抵抗効果素子 $12B$ とでは相対的に逆向きとなった書込電流が流れる。この書込電流により、記憶セル $12E_v$ の磁気抵抗効果素子 $12A$, $12B$ では、各環状磁性層 5 に図 11 に示したように互いに逆向きに還流する磁界が誘導され、その第 2 の磁性層 3 との対向面における磁化（つまり誘導磁界の向き）は、互いに反対を向いた反平行となる。磁気抵抗効果素子 $12A$, $12B$ の第 2 の磁性層 3 の磁化は、この外部から与えられる磁界の向きに従って互いに反対を向いた反平行の状態となり、この状態が環状磁性層 5 との反強磁性結合により固定される。この場合には、磁気抵抗効果素子 $12A$ が高抵抗、磁気抵抗効果素子 $12B$

が低抵抗となっている。

【0102】

一方、記憶セル 12 Od の側の磁気抵抗効果素子 12 A, 12 B の領域では、磁気抵抗効果素子 12 A においても磁気抵抗効果素子 12 B においても、書込線 $6 X_n$, $6 Y_n$ には互いに逆向きの書込電流が流れる。これら逆向きの電流は、誘導磁界を互いに打ち消しあうため、磁気抵抗効果素子 12 A, 12 B には書き込みがなされない。このようにして、一对の記憶セル 12 (12 Ev, 12 Od) には書込電流が同時に供給されるが、そのうち記憶セル 12 Ev の方にだけ、選択的に適正な書き込みがなされる。

【0103】

偶数番地の記憶セル群 Ev に属する記憶セル 12 Ev に「0」を書き込むには、図 12 に示したように、カレントドライブ 123_n , 133_n が共にドライブポイント B→A の向きに電流を流すようにするとよい。つまり、「1」を書き込む場合とは電流方向が正反対である。このときも、記憶セル 12 Ev の側では、互いの向きが揃い、かつ、磁気抵抗効果素子 12 A と磁気抵抗効果素子 12 B とでは相対的に逆向きとなった書込電流が流れる。ただし、この書込電流による誘導磁界は、図 13 に示したように各環状磁性層 5 を還流し、磁気抵抗効果素子 12 A, 12 B それぞれの第 2 の磁性層 3 の磁化が、互いに対向するように反平行となる。よって、この場合には、「1」を書き込む場合の磁気抵抗効果素子 12 A と磁気抵抗効果素子 12 B とが入れ替わったように動作し、磁気抵抗効果素子 12 A が低抵抗、磁気抵抗効果素子 12 B が高抵抗となる。

【0104】

この場合も、記憶セル 12 Od の側の磁気抵抗効果素子 12 A, 12 B の領域では、書込線 $6 X_n$, $6 Y_n$ に互いに逆向きに書込電流が流れるため、書き込みはなされない。

【0105】

奇数番地の記憶セル群 Od に属する記憶セル 12 Od に「1」を書き込むには、図 14 に示したように、カレントドライブ 123_n は書込線 $6 X_n$ にドライブポイント B→A の向きに電流を流すようにし、カレントドライブ 133_n は書込

線 $6Y_n$ にドライブポイント $A \rightarrow B$ の向きに電流を流すようにするとよい。このときには、記憶セル $12Od$ の側で、互いの向きが揃い、かつ、磁気抵抗効果素子 $12A$ と磁気抵抗効果素子 $12B$ とでは相対的に逆向きとなった書込電流が流れ、図 11 に示したような書き込み動作が生じる。なお、記憶セル $12Ev$ の側では、磁気抵抗効果素子 $12A$ 、 $12B$ の領域の書込線 $6X_n$ 、 $6Y_n$ に互いに逆向きの書込電流が流れるため、書き込みはなされない。

【0106】

奇数番地の記憶セル群 Od に属する記憶セル $12Od$ に「0」を書き込むには、図 15 に示したように、前述の図 14 の場合とは反対向きに書込電流を供給するとよい。すなわち、カレントドライブ 123_n は書込線 $6X_n$ にドライブポイント $A \rightarrow B$ の向きに電流を流すようにし、カレントドライブ 133_n は書込線 $6Y_n$ にドライブポイント $B \rightarrow A$ の向きに電流を流すようにする。このときには、記憶セル $12Od$ の側で、図 13 に示したような書き込み動作が生じる。このときも、記憶セル $12Ev$ の側では、磁気抵抗効果素子 $12A$ 、 $12B$ の領域の書込線 $6X_n$ 、 $6Y_n$ に互いに逆向きの書込電流が流れるため、書き込みはなされない。

【0107】

このように、一对の書込線 $6X_n$ 、 $6Y_n$ において、それぞれに流す書込電流の向きを制御することで、一对の記憶セル $12Ev$ 、 $12Od$ のいずれか一方に「1」、「0」のいずれかが書き込まれる。なお、ここでは、書込線 $6X_n$ 、 $6Y_n$ が選択された場合について説明したが、書込線 $6X$ 、 $6Y$ のほかの配線対においても同様の駆動方法により情報が書き込まれる。また、ここでは、図 11 に示したセル状態を「1」、図 13 に示したセル状態を「0」として説明したが、対応関係は逆であってもよい。

【0108】

なお、ここでは、書込線 $6X$ 、 $6Y$ における各誘導磁界を、第 2 の磁性層 3 の磁化反転方向のみを向くように発生させることから、第 2 の磁性層 3 では、印加される単一方向磁界によって磁化を一定の方向に反転させることができる。これにより、確実に書き込みを行うことができる。書込線 $6X$ 、 $6Y$ による磁界成分

が同一方向を向き、環状磁性層 5 の内部に閉じ込められることから、第 2 の磁性層 3 の磁化反転に寄与する実効的な磁界強度は、従来に比して大きくなる。その結果、第 2 の磁性層 3 の磁化反転を必要十分な磁界強度で行い、その磁化を所定方向に十分に揃えることができる。また、環状磁性層 5 の遮蔽効果により、誘導磁界は書き込み対象の素子 12A (12B) の外に漏れないため、隣接する記憶セル 12 においては、第 2 の磁性層 3 の磁化方向が外部擾乱磁界により乱されるおそれが低減し、一旦書き込まれた情報が予期せず消されたり、書き換えられたりすることが防止される。

【0109】

次に、この磁気メモリデバイスにおける読出用の回路系の構成と、その動作について説明する。

【0110】

〔読出回路系の構成〕

図 16 は、この磁気メモリデバイスの読出回路系の図 2 に対応した回路部分を表し、図 17 は、記憶セルの偶数番地と奇数番地によって 2 系列に分かれた読出回路のうち的一方について、読出動作に係る回路の全体を表したものである。前述したように、2 系列の回路系は構成、動作とも対称に構成されているので、主な説明は図 17 を参照して 1 系列について行うものとする。

【0111】

この読出回路系は、記憶セル 12 が 1 対の磁気抵抗効果素子 12A, 12B からなる差動増幅型である。ここでは、磁気抵抗効果素子 12A, 12B それぞれに流すセンシング電流（センス用ビットデコード線 21A, 21B から磁気抵抗効果素子 12A, 12B それぞれに流入し、共通のセンス用ワードデコード線 31 に流出する電流）の差分値を出力として、記憶セル 12 から情報を読み出すようになっている。

【0112】

記憶セル群 140 には、X 方向に配列されるセンス用ワードデコード線 31（以後、センスワード線と略称）と、Y 方向に配列される 1 対のセンス用ビットデコード線 21A, 21B（以後、センスビット線と略称）とによりマトリクス状

の配線がなされている。個々の記憶セル 12 は、これらの交差位置に配設され、共通のセンスビット線 21 A, 21 B に並列接続された記憶セル 12 がビット列を構成し、共通のセンスワード線 31 にカスケード接続されている記憶セル 12 がワード列を構成している。1 つの記憶セル 12 では、磁気抵抗効果素子 12 A, 12 B のそれぞれは一端が読出用センシング導線 11 を介してセンスビット線 21 A, 21 B に、他端が逆流防止用ダイオード 13 A, 13 B を介して共通のセンスワード線 31 に接続されている。

【0113】

センスビット線 21 A, 21 B の一端側（電源 V_{cc} 側）には、それぞれ、電流電圧変換用抵抗器 23 A, 23 B（以後、抵抗器 23 A, 23 B）、およびトランジスタ 22 A, 22 B のコレクターエミッタ間が直列に接続されている。トランジスタ 22 A, 22 B は、ベース端子にビットデコード線 20 (\dots , 20_n , 20_{n+1} , \dots) が接続されており、ビットデコード線 20 から入力される選択信号の値（ビットデコード値）に応じて開閉するようになっている。また、センスビット線 21 A, 21 B における抵抗器 23 A, 23 B の電源 V_{cc} と反対側の端部に設けられた結節点より、センスアンプ入力線 41 A, 41 B（以後、入力線 41 A, 41 B）が導出され、センスアンプ 132 に接続されている。

【0114】

センスアンプ 132 は、差動増幅器として構成され、センスビット線 21 A, 21 B の各電位を取り込み、その電位差を増幅して出力するようになっている。このセンスアンプ 132 は、バイアス抵抗器 43 A, 43 B が共通に設けられ、これ以外の回路部分からなる増幅部 40 が一対のセンスビット線 21 A, 21 B ごとに設けられた構成となっている。ここでは、センスアンプ 132 は、センスアンプ出力線 51 A, 51 B（以後、出力線 51 A, 51 B）にカスケード状に接続され、これを利用してバイアス抵抗器 43 A, 43 B が共用化されている。これにより、複数のセンスアンプ 132 における消費電流が抑えられる。

【0115】

出力線 51 A, 51 B からの出力は、読出用データバス 105 によって出力用マルチプレクサ 153, 出力バッファ 154 に送出される。なお、トランジスタ

22A, 22B、抵抗器23A, 23Bおよびセンスアンプ132は、対をなす素子同士の特性がよく揃っている必要がある。

【0116】

センスワード線31の各々には、同じワード列に配列された記憶セル12が接続されている（ただし、ここでは、記憶セル12とセンスワード線31との間に、逆流防止用ダイオード13A, 13Bが配設されている）。また、センスワード線31の接地側には、トランジスタ33のコレクターエミッタ間、ならびに電流制限抵抗器34が直列接続されている。トランジスタ33は、ベース端子にワード列 X_n に対応するワードデコード線30（ \dots , 30_n , 30_{n+1} , \dots ）が接続されており、X方向アドレスデコーダ121からベース入力される選択信号の値（ビットデコード値）に応じて開閉するスイッチとして機能する。

【0117】

また、ここでは、ダイオード32, トランジスタ33, 電流制限抵抗器34により定電流回路122が構成されている。定電流回路122は、センスワード線31を流れる電流を一定とする機能を有している。ダイオード32は、この場合、2個のダイオードが直列に接続したものとなっている。

【0118】

〔読み出し動作〕

この磁気メモリデバイスでは、記憶セル12に書き込まれた情報は以下のようにして読み出される。

【0119】

各記憶セル12（12Ev, 12Od）は、磁気抵抗効果素子12A, 12Bが2通りの反平行磁化のいずれかとなって情報が記憶された状態にある。ここで、ビットデコード線20, ワードデコード線30に入力される選択信号は、読み出し対象である記憶セル12の上位ビットアドレスに対応したものである。すなわち、選択信号が Y_n 列, X_n 行を指定すれば、記憶セル群Ev, 記憶セル群Odの双方において、 Y_n 番目のビットデコード線 20_n と X_n 番目のワードデコード線 30_n に信号が入力される。その結果、記憶セル群Evでは Y_n 列, X_n 行の記憶セル12Evが、記憶セル群Odでは Y_n 列, X_n 行の記憶セル12Od

d が同時に選択される。したがって、以下の動作は、記憶セル群 E_v 、記憶セル群 O_d の双方において行われる。

【0120】

ビットデコード線 20_n における電圧レベルが "High" となると、トランジスタ $22A$ 、 $22B$ が導通状態となり、記憶セル 12 の Y_n 番目のビット列にセンシング電流が流れる。センシング電流は、センスビット線 $21A$ 、 $21B$ を電源 V_{cc} 側からその反対側に向かって流れ下る。一方、ワードデコード線 30_n における電圧レベルが "High" となると、トランジスタ 33 が導通状態となり、記憶セル 12 の X_n 番目のワード列に電流が流れることが許される。

【0121】

よって、センシング電流は、 Y_n 番目のセンスビット線 $21A$ 、 $21B$ から、それぞれ磁気抵抗効果素子 $12A$ とダイオード $13A$ 、磁気抵抗効果素子 $12B$ とダイオード $13B$ を通り、共に X_n 番目のセンスワード線 31 へと流れ込み、さらに、定電流回路 122 を構成するトランジスタ 33 のコレクターエミッタ間を通り、抵抗器 34 から接地へと抜ける。

【0122】

情報の読み出しは、記憶セル 12 の磁気抵抗効果素子 $12A$ 、 $12B$ の抵抗値の違いを、各々に流れるトンネル電流の差分として検出することによって行われる。磁気抵抗効果素子 $12A$ 、 $12B$ に流れる電流は、センスビット線 $21A$ 、 $21B$ を流れるセンシング電流にほぼ等しく、センシング電流の値は、センスビット線 $21A$ 、 $21B$ に直列接続された抵抗器 $23A$ 、 $23B$ の電圧降下によって電圧に変換して検出することができる。そこで、抵抗器 $23A$ と抵抗器 $23B$ の電圧降下をそれぞれ入力線 $40A$ 、 $40B$ から取り出し、その差分を読出信号として検出する。このように、2つの磁気抵抗効果素子 $12A$ 、 $12B$ を用い、それぞれの出力値の差分を取り出すことで、記憶セル 12 としては、雑音が除去された大きな出力値が得られる。

【0123】

入力線 $41A$ 、 $41B$ から取り出した電圧信号は、センスアンプ 132 で増幅され、値が一層大きく、 S/N の良い出力となる。なお、このとき、複数のセン

スアンプ132のうちビット列が対応するものだけが、ビットデコード線20の選択と同時にアクティブとなる。よって、その出力だけが出力線51A, 51Bに送出される。

【0124】

センスアンプ132 (132Ev, 132Od) の出力は、出力線51A, 51Bから、読出用データバス105を経由し、最終的には出力用マルチプレクサ153, 出力バッファ154に入力される。出力用マルチプレクサ153では、グループ選択信号線106を介して入力される番地選択信号A₀に応じ、センスアンプ132Evの出力とセンスアンプ132Odの出力の一方が選ばれ、出力バッファ154に入力される。出力バッファ154は、入力された信号電圧を増幅し、2値信号として外部データ端子D0～D7から出力する。こうして、読み出し対象である記憶セル12の出力が、読出データ信号(Dout)として外部へ出力される。

【0125】

この読み出し動作において、選択された記憶セル12に対するセンシング電流の大きさは、定電流回路122により一定範囲内に収められる。すなわち、センスワード線31に流れる電流、もといセンスビット線21Aとセンスビット線21B、もしくは磁気抵抗効果素子12Aと磁気抵抗効果素子12Bの双方を流れる電流の総和が、一定範囲内の値をとる。これにより、センスビット線21A, 21Bの各電流値は、一定に規格化された電流量を磁気抵抗効果素子12A, 12Bの抵抗比に応じて分配したものとなる。そのため、磁気抵抗効果素子12A, 12Bの抵抗値がばらついていたとしても、センスビット線21A, 21Bの各々における電流のぶれは総電流値に応じて常に一定の範囲内に押さえ込まれ、安定した差動出力が得られる。

【0126】

また、各磁気抵抗効果素子12A, 12Bの電流経路上に設けられているダイオード13A, 13Bは、電流がセンスワード線31から磁気抵抗効果素子12A, 12Bへと逆流することを防止している。よって、磁気抵抗効果素子12A (12B) を逆流する回り込み電流成分の発生経路が遮断され、読み出し信号の

S/N比向上に寄与する。

【0127】

このように本実施の形態においては、ループ状の書込線 6 X, 6 Y を読出線とは別体に設けるようにしたので、書込線 6 X, 6 Y とともに電流を双方向に流すことができる。さらに、書込線 6 X を矩形波状に曲折し、書込線 6 X, 6 Y が互いに平行となる平行部分を設け、そこに磁気抵抗効果素子 12 A (12 B) を配置し、平行な書込電流により生じる平行磁界を第 2 の磁性層 3 に印加するようにしたので、情報の書き込みは、第 2 の磁性層 3 に対し、その磁化反転方向に対応した単一方向に磁界を印加することにより行われる。よって、第 2 の磁性層 3 の磁化を一方向に効率よく揃えることができ、従来に比べ感磁層の磁化方向制御をより確実に行うことが可能となる。また同時に、印加磁界の向きを正反対の方向に反転させることで、第 2 の磁性層 3 の磁化方向をほぼ完全に正反対の向きに反転させることができ、従来よりもトンネル抵抗変化率を大きくすることができる。

【0128】

また、この書込方法では、第 2 の磁性層 3 の磁化方向を強制的に印加磁界の方向に揃えるようになっている。よって、第 2 の磁性層 3 の磁気的性質は印加磁界の大きさとの関係によって決まる。換言すると、第 2 の磁性層 3 については、印加磁界の大きさとの兼ね合いによって磁気的性質の制御を極力考慮せずに成膜することができる、この磁気メモリデバイスの製造上の歩留りを向上させ、生産性を格段に高めることができる。

【0129】

また、一对の書込線 6 X, 6 Y において 4 つの平行部分を設け、書込線 6 X の上段側の 2 つの平行部分に磁気抵抗効果素子 12 A, 12 B を配置して偶数番地の記憶セル 12 E v を構成し、下段側の 2 つの平行部分に磁気抵抗効果素子 12 A, 12 B を配置して奇数番地の記憶セル 12 O d を構成するようにしたので、差動センシングにより読み出される記憶セル 12 が、効率よく集積される。この書込回路系では、書込線 6 X, 6 Y の各一を選択することにより、記憶セル 12 E v, 記憶セル 12 O d の両方に同時に書込電流が流れるが、あらかじめ書込用論理制御部 152 において書込線 6 X, 6 Y それぞれに対する電流の方向を選択

しておくことによって、選択セルにのみ所望の2値情報を書き込み、もう一方には書き込みをしないようにすることができる。すなわち、選択セルにおいては、書込線6X, 6Yに平行方向に電流が流れ、互いに強め合うように磁界が生じる。一方、非選択セルでは、書込線6X, 6Yに反平行方向に電流が流れ、互いの誘導磁界を打ち消し合う。ここでは、書込線6X, 6Yに流れる書込電流の大きさを相等しくしたので、上記のセル選択を確実に行うことを可能とすると共に、カレントドライブ123, 133を同一の構成とすることができる。

【0130】

また、カレントドライブ123, 133を、ループ状とした書込線6X, 6Yの両端をドライブポイントA, Bに接続して、(1)データ信号XDin, YDinに応じて方向を切り換えて電流を流すと共に(2)その電流量を、書込線より流出後に定電流制御するように構成したので、書込線6X, 6Yには、双方向に、その抵抗ばらつきによらず一定の大きさで電流を供給することができる。よって、この磁気メモリデバイスでは、各記憶セル12に対する情報書き込みには常に一定電流が用いられることから、十分な強度の誘導磁界によって確実に書き込むことや、隣接する記憶セル12への漏洩磁界を設定範囲内に抑えることを、制御性よく行い、安定した書き込み動作を行うことができる。また、(2)書込電流の値が、書込線6ごとの抵抗変動等によらず一定であると保証されていることから、書込線の抵抗ばらつきが(ある範囲内で)許容され、製造誤差の許容範囲が広がると共に、書込線の配線構造の自由度が高まるという利点もある。

【0131】

さらに、この磁気メモリデバイスでは、読出回路系を、記憶セル群Ev, 記憶セル12Odによる2系統の回路で構成し、ビットデコード線20, ワードデコード線30の選択を書込線6X, 6Yの選択と同様にして行うようにしたので、デバイス全体を記憶セル12の偶数番地、奇数番地に基づいて駆動制御することができ、駆動制御用の回路を書き込みと読み出しで統一することができる。

【0132】

〔第2の実施の形態〕

図18は、第2の実施の形態に係る磁気メモリデバイスの全体の構成を表して

いる。この磁気メモリデバイスは、読出用マルチプレクサ 153 を設ける代わりに、X 方向周辺駆動回路 120 に選択用デコードスイッチ 124 を備えるようにしたものである。選択用デコードスイッチ 124 は、番地選択信号 A_0 の入力を受け、センシングを行う記憶セルを、あらかじめ偶数番地の記憶セル群 E_v 、奇数番地の記憶セル群 120_d のいずれか一方に選択するために設けられたものである。なお、本実施の形態では、第 1 の実施の形態と同様の構成要素には同一の符号を付し、説明を適宜省略するものとする。

【0133】

図 19 は、記憶セル群と書込回路系および読出回路系の構成を表すブロック図である。選択用デコードスイッチ 124 は、スイッチ 70A、70B として表されている。スイッチ 70A とスイッチ 70B は互いに対をなす。スイッチ 70A は磁気抵抗効果素子 12A の側に、スイッチ 70B は磁気抵抗効果素子 12B の側に配置されており、一对の記憶セル $12E_v$ 、 120_d のいずれか一方をセンシング電流が流れるように選択する。また、スイッチ 70A、70B は、ビット列方向にスイッチ $70A_n$ 、 $70B_n$ 、スイッチ $70A_{n+1}$ 、 $70B_{n+1}$ 、… という具合に並び、例えば、ワードデコード値 ($\dots, X_n, X_{n+1}, \dots$) によって記憶セル 12 のワード列方向に選択される。

【0134】

図 20 は、図 19 に対応した読出回路系の具体的構成を表す回路図である。このように、本実施の形態の読出回路系は、偶数番地の記憶セル群 E_v 、奇数番地の記憶セル群 0_d を一系統にまとめたものとなっている。ここでは、選択用デコードスイッチ 124 は、スイッチ 71、72、インバータ 73 等から構成されている。このスイッチ 71、72 が、スイッチ 70A、70B に対応している。スイッチ 71、72 は、ワードデコード値と番地選択信号 A_0 による 2 制御指令のスイッチであり、それぞれ、記憶セル群 E_v 、 0_d のワード列を読出対象に選択するようになっている。

【0135】

スイッチ 71 ($\dots, 71_n, 71_{n+1}, \dots$) とスイッチ 72 ($\dots, 72_n, 72_{n+1}, \dots$) には、対ごとにワードデコード線 30 ($\dots, 30_n, 30_{n+1}, \dots$)

が接続されている。また、すべてのスイッチ 71 は、番地選択信号 A_0 の入力線に接続されている。すべてのスイッチ 72 は、この入力線に信号反転用のインバータ 73 を介して接続されている。さらに、スイッチ 71, 72 は、それぞれが記憶セル群 E_v , O_d のワード選択線 75 に接続されている。

【0136】

ワード選択線 75 は、ここでは、ワード列ごとのトランジスタ 74A, 74B のベース端子に共通に接続されている。トランジスタ 74A, 74B は、それぞれ、コレクタ端子がセンスビット線 21A, 21B に接続され、エミッタ端子が磁気抵抗効果素子 12A, 12B の読出センシング用導線 11 に接続されている。なお、第 1 の実施の形態では、磁気抵抗効果素子 12A, 12B の各々とセンスワード線 31 の間に、逆流防止用ダイオード 13A, 13B を設けるようにしていたが、本実施の形態では、トランジスタ 74A, 74B が自身のオン/オフにより、ダイオード 13A, 13B に代わって逆流防止機能を果たすようになっている。また、ここでは、センスワード線 31 は 1 つの定電流回路に共通に接続されている。

【0137】

この読出回路系では、以下のようにして情報の読み出しが行われる。

【0138】

スイッチ 71, 72 の対に、ワードデコード線 30 を介して、X 方向アドレスデコーダ 121 からの選択信号が入力される。また、スイッチ 71 には番地選択信号 A_0 が入力され、スイッチ 72 には、その反転信号が入力される。これにより、アドレス上位ビットに対応したワードデコード値と、アドレス最下位ビットに対応した番地選択信号 A_0 との双方が “High” となるスイッチだけが選択され、導通する。

【0139】

スイッチ 71, 72 により選択されたワード列では、ワード選択線 75 に “High” の信号電圧が印加される結果、トランジスタ 74A, 74B が導通し、対応するセンスワード線 31 に対してセンスビット線 21A, 21B から電流が流れることが許容される。

【0140】

一方、ビットデコード線20には、Y方向アドレスデコーダ131からの選択信号が入力される。ビットデコード線20に接続されているトランジスタには、ビットデコード値に対応して“High”の信号がベース入力され、導通する。これにより、ビットデコード値に応じたビット列のセンスアンプ132が動作可能な状態となり、センスビット線21A、21Bにセンシング電流が流れる。

【0141】

よって、この回路系では、選択用デコーダスイッチ124により、センシングする記憶セル12は、読出対象であるただひとつの記憶セル12に同定され、1つのセンシング結果だけが出力される。

【0142】

このように本実施の形態によれば、読出回路系を2系列に分け、読出用マルチプレクサ153を設ける代わりに、読出回路系を1系列とし、選択用デコーダスイッチ124を設けるようにしたので、記憶セル12Ev、記憶セル12Odに係るセル選択がセンシングの前に行われ、センシングは読出対象の記憶セル12についてだけ行われる。よって、この読出回路系は、書込回路系と同様にビットデコード値、ワードデコード値および番地選択信号A₀により制御される構成をとると共に、消費電流が低減されるために、より効率よく動作することができる。そのほかの効果は、第1の実施の形態と同様である。

【0143】

なお、この第2の実施の形態では、トランジスタ74A、74B、ワード選択線75を設けるなど、記憶セル群140における読出用配線も第1の実施の形態と異なるようにしたが、定電流回路のトランジスタ33を2制御指令のスイッチ71、72で替えるようにすれば、第1の実施の形態の配線構造をほぼそのまま適用することも可能である。このように、上記実施の形態で説明した回路構成はあくまでも一具体例であり、同様の機能を果たすものであれば、これらを変形してもよく、そのほかの回路構成としても構わない。

【0144】

なお、本発明は上記実施の形態には限定されず種々の変形実施が可能である。

例えば、実施の形態では、一对の書込線 6 X, 6 Y により 4 つの平行部分を形成し、各平行部分に磁気抵抗効果素子 1 2 A (1 2 B) を配置する場合について説明したが、本発明における第 1 および第 2 の書込線は、①少なくとも一方が曲折されることにより平行部分を形成し、②少なくとも一方がループ状であるように配線されていればよく、これ以外の配線構造をとることが可能である。

【0145】

図 2 1 (A), (B) は、書込線の配線構造の具体的な変形例を示している。
(A) は、Y 方向の書込線 8 1 Y を直線状に配したものであり、隣接する書込線 8 1 Y に対し同時に逆向きの電流を流せば、あたかもループを形成しているように駆動することができ、実施の形態と同様に磁気抵抗効果素子 1 2 A, 1 2 B が 1 つの記憶セルを構成したものとなる。また、書込線 8 1 Y の各々を独立に選択できるようにすれば、磁気抵抗効果素子 1 2 A, 1 2 B の個々を 1 記憶セルとして 1 単位情報を担うように動作させることもできる。(B) は、さらに X 方向の書込線 8 1 X の曲折方向を上段と下段で反対向きとしたものである。この場合は、書込線 8 1 Y に沿って上下に隣接する磁気抵抗効果素子 1 2 C, 1 2 D が 1 つの記憶セルを構成する。

【0146】

図 2 2 には、ほかの変形例を示している。同図 (A) では、ループ状の書込線 8 2 X, 8 2 Y を交差させ、書込線 8 2 X の上段、下段のうち一方を曲折して平行部分を形成し、この平行部分に磁気抵抗効果素子 1 2 A, 1 2 B を配置している。この場合も、磁気抵抗効果素子 1 2 A, 1 2 B を 1 つの記憶セルとして駆動することができるが、書込線は、X 方向にも Y 方向にも記憶セルと 1 対 1 に対応しているので、駆動制御は上記実施の形態に比べて容易である。すなわち、書込対象の記憶セルと一意に対応するワードデコード値、ビットデコード値によって X 方向、Y 方向の各カレントドライブを選択すると共に、これらの電流供給方向を書き込むデータに応じて制御すると、書込線 8 2 X, 8 2 Y の各一に所定方向の書込電流が流れる。

【0147】

図 2 2 (B) は、(A) をさらに変形した例である。書込線 8 3 X は、書込線

82Xの折り返し部分から下段の部分を取り、直線状とした配線である。

【0148】

図23は、書込線が矩形波状ではなく、台形波状に曲折される場合の変形例を示している。書込線84X、84Yはともに曲折され、これらの延在方向に対し傾きをもつ方向に平行部分を形成する。この平行部分に配置される磁気抵抗効果素子は、互いに傾いて配列されるので、セルピッチを狭めることが可能である。なお、同図には、書込線84X、84Yがともにループ状である例を示しているが、いずれか一方を直線状とし、上述のほかの変形例と同様に駆動させることもできる。

【0149】

また、上記実施の形態では、カレントドライブ123、133を共に本発明のカレントドライブとして説明したが、本発明の磁気メモリデバイスは、必ずしも電流供給回路を本発明のカレントドライブとせずともよい。ただし、定電流化による効果から、本発明のカレントドライブが適用されることが望ましい。例えば、図22(B)に比べて図22(A)の配線構造のほうが優れているのは、こうした理由やレイアウト上の理由による。なお、本発明のカレントドライブについては、電流方向制御部、電流量制御部に相当する回路部分の具体的な構造は、実施の形態に限定されず、その機能を具現化するものであればよい。なお、実施の形態では、カレントドライブ123、133をバイポーラトランジスタで構成するようにしたが、MOSFETもしくはCMOS等の半導体素子で構成することが可能である。

【0150】

また、磁気抵抗効果素子の構成も実施の形態で説明したものと同一である必要はなく、例えば、環状磁性層を備えていないものでもよい。さらに、実施の形態では、磁気抵抗効果素子12A、12BをTMR素子としたが、これをGMR素子で置き換えることもできる。その場合の素子は、非磁性層2を絶縁層から非磁性金属層に替えることを除いては、磁気抵抗効果素子12A(12B)と同様に構成することができる。このように、本発明の磁気抵抗効果素子には公知のあらゆる素子構造が適用でき、磁性層の積層面に垂直に電流を流すCPP(Current

Perpendicular to the Plane) , または磁性層の積層面に平行に電流を流す C I P (Current Flows in the Plane) のどちらであっても構わない。

【0151】

さらに、上記実施の形態では、磁気抵抗効果素子 12 A, 12 B への書き込みにおいて、第 2 の磁性層 3 に印加する磁界の向きを積極的に揃えるようにしたが、本発明は、このように印加磁界を単一方向成分のみ（磁界成分が互いに平行）とする場合だけではなく、第 1 および第 2 の書込線を平行とした結果、書込線ごとに誘導される磁界が互いに直交しなくなった場合にも有効である。すなわち、感磁層の磁化を反転させて 2 値信号に対応した 2 状態を形成するには、書込電流の方向を反転させることにより印加磁界を反転させねばならない。従来、書込線が直交配線されていた場合には、1 方の書込線に双方向に電流を流すことができれば（1 つの磁界成分が反転できれば）、他方の電流方向を固定しても（他方の磁界成分の方向は一定であっても）、全体として印加磁界は対称な 2 状態を形成できる。これは、磁界成分が直交するためである。しかしながら、書込線を平行とすると、その 1 方の電流方向が固定されれば、2 状態に対応する対称な磁界を発生させることはできない（図 31 参照）。つまり、第 1 および第 2 の書込線を互いに平行とするとき、両者はともにも双方向に電流を流すように構成される必要がある。

【0152】

また、上記実施の形態では読出回路系の作用構成についても具体的に説明したが、本発明は、書込用回路系に係るものであって、こうした読出用回路系の回路構成や配線レイアウトなどにより限定されるものではない。

【0153】

【発明の効果】

以上説明したように、本発明の磁気メモリデバイスによれば、読出電流を流す読出線と、それぞれに対し双方向に書込電流を流すことが可能であるように読出線とは別体として配置されると共に、少なくとも一方が曲折されることにより互いに平行に延びる平行部分が形成された第 1 および第 2 の書込線と、印加磁界によって磁化方向が変化する感磁層を有し、平行部分に配置された磁気抵抗効果素

子とを備え、第1および第2の書込線の少なくとも一方が、折り返し部分と、この折り返し部分と両端の各々との間を結ぶ第1および第2の部分とを含むようにループ状に構成され、平行部分に流れる書込電流によって生ずる磁界により感磁層の磁化方向が変化し、情報が書き込まれるようにしたので、第1および第2の書込線の両方が双方向に電流を流すことが可能となり、磁気抵抗効果素子においては、第1および第2の書込線から互いに平行あるいは反平行な方向に供給される書込電流によって互いに強め合うように磁界を発生させ、これらの磁界により感磁層の磁化方向を変化させることができる。

【0154】

特に、第1および第2の書込線がともにループ状であって、第1および第2の書込線のいずれか一方の、第1および第2の部分が共に矩形波状または台形波状となり、かつ、第1の部分の曲折方向と第2の部分の曲折方向とが一致するように曲折されることにより、一对の第1および第2の書込線において4つの平行部分が設けられ、第1の部分に設けられた2つの平行部分に配置された一对の磁気抵抗効果素子が第1のグループに属する記憶セルを構成し、第2の部分に設けられた2つの平行部分に配置された一对の磁気抵抗効果素子が第2のグループに属する記憶セルを構成しているようにすれば、第1のグループの記憶セルと第2のグループの記憶セルは、書込線を共用するように配置されているにも関わらず、書込電流方向を双方向制御することにより、互いに独立して書き込みを行うことができる。したがって、一对の磁気抵抗効果素子により構成される記憶セルを駆動可能に構成しつつ、効率よく集積化することが可能となる。

【0155】

さらに、第1および第2の書込線のうちループ形状をなす書込線の両端が接続され、書込線における書込電流の方向を双方向に制御する電流方向制御部と、書込線における書込電流の量を一定値に制御する電流量制御部とを含んで構成され、書込線に書込電流を供給する書込電流駆動回路を備えるようにすれば、大きさが電流経路の抵抗値に関わらず常に一定である書込電流を、書込線に対し所定方向に供給することができる。したがって、書込線ごとの抵抗値の変動等に関係なく、安定した書き込み動作を行うことが可能となる。

【0156】

また、第1および第2の書込線に供給される書込電流により生ずる磁界が、書込対象の記憶セルにおいては互いに同一方向を向くように感磁層に印加されるようにすれば、書き込み効率を向上させることができると共に、感磁層の磁化方向の確実な制御が可能となり、良好な書き込み状態を実現することができる。また、ひいては大きな読み出し信号出力を得ることを可能とする。

【0157】

また、本発明の磁気メモリデバイスの書込方法によれば、第1および第2の書込線を読出線とは別体とし、双方向に書込電流を流すことが可能なように構成すると共に、第1および第2の書込線の少なくとも一方を、両端のそれぞれと折り返し部分との間を結ぶ第1および第2の部分を含むループ形状とし、さらに、第1および第2の書込線の少なくとも一方を曲折しつつ互いに交差させて第1および第2の書込線が互いに平行に延びる平行部分を設け、これら平行部分に磁気抵抗効果素子を配置し、平行部分における第1および第2の書込線に流れる書込電流が、ともに、書き込む情報に対応した第1および第2の方向のいずれ一方向を向くように、第1および第2の書込線に書込電流を供給し、書込電流により生ずる磁界によって感磁層の磁化方向を変化させて情報を書き込むようにしたので、第1の書込線、第2の書込線とも双方向のうち書き込む情報に応じた方向に書込電流を供給することが可能となり、互いに方向を反転することが可能な磁界を発生させ、感磁層に印加することができるようになる。したがって、第1および第2の書込線の書込電流によって互いに強め合うように印加磁界を発生させれば、感磁層の磁化を反平行な2方向について配向させることができ、良好な書き込み状態で2値情報を書き込むことが可能となる。

【0158】

さらに、第1および第2の書込線の双方をループ形状となすと共に、第1および第2の書込線のいずれか一方の第1および第2の部分を互いの曲折方向が一致するように矩形波状または台形波状に曲折し、一对の第1および第2の書込線において4つの平行部分を設け、第1の部分に設けられた2つの平行部分に一对の磁気抵抗効果素子を配置することにより第1のグループに属する記憶セルを構成

し、第2の部分に設けられた2つの平行部分に一对の磁気抵抗効果素子を配置することにより第2のグループに属する記憶セルを構成し、一对の第1および第2の書込線に対し、第1および第2のグループに属する2つの記憶セルのうち書込対象の記憶セルでは、2つの平行部分の双方において第1の書込線と第2の書込線に同方向、しかも2つの平行部分相互間では逆方向に流れるように書込電流を供給すると共に、他方の記憶セルでは、2つの平行部分の双方において、第1の書込線と第2の書込線に互いに逆方向に流れるように書込電流を供給することにより、一方の記憶セルにおける一对の磁気抵抗効果素子においてのみ各感磁層の磁化方向を変化させ、選択的に情報を書き込むようにすれば、情報を差動増幅方式で読み出すように一对の磁気抵抗効果素子で構成された記憶セルに対し、適切に書き込みを行うと共に、同一の書込線上に配置された第1のグループの記憶セルと、第2のグループの記憶セルは同時に選択されず、いずれか一方に対して選択的に書き込みを行うことができる。

【0159】

また、第1および第2の書込線に書込電流を供給し、感磁層に対し互いに同一方向を向く磁界を印加することにより情報を書き込むようにすれば、感磁層の磁化は、この印加磁界の方向に反転される。したがって、効率よく書き込みを行うことができると共に、感磁層の磁化方向の確実な制御が可能となり、良好な書き込み状態を実現することができる。また、このことから、大きな読み出し信号出力を得ることが可能となる。

【0160】

さらに、これら感磁層に印加する磁界の大きさを相等しくなるようにすれば、単一方向を向いて互いに強めあう場合には書き込みを可能とし、反対方向を向いて互いに相殺される場合には書き込みを不能とすることが容易かつ確実に可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図である。

【図 2】

図 1 に示した磁気メモリデバイスの要部の構成を表すブロック図である。

【図 3】

図 1 に示した記憶セルの具体的構成を示す断面図である。

【図 4】

図 1 に示した磁気メモリデバイスの書込回路系の構成図である。

【図 5】

図 1 に示した書込用論理制御部における動作を説明するための表である。

【図 6】

図 1 に示した書込用論理制御部の回路構成を表す図である。

【図 7】

図 1 に示したカレントドライブの回路図である。

【図 8】

図 7 に示したカレントドライブの作用構成を説明するための概念的な構成図である。

【図 9】

図 4 に示した X 方向カレントドライブの動作時における各トランジスタの動作状態と、書込電流の経路とを表す図である。

【図 10】

図 4 に示した書込回路系において、偶数番地の記憶セルに「1」を書き込む際の動作を説明するための図である。

【図 11】

図 10 に示した記憶セルに書き込まれる記憶状態を表す図である。

【図 12】

図 4 に示した書込回路系において、偶数番地の記憶セルに「0」を書き込む際の動作を説明するための図である。

【図 13】

図 12 に示した記憶セルに書き込まれるもう 1 つの記憶状態を表す図である。

【図 14】

図 4 に示した書込回路系において、奇数番地の記憶セルに「1」を書き込む際の動作を説明するための図である。

【図 1 5】

図 4 に示した書込回路系において、奇数番地の記憶セルに「0」を書き込む際の動作を説明するための図である。

【図 1 6】

図 1 に示した磁気メモリデバイスの読出回路系の要部の構成図である。

【図 1 7】

図 1 6 に示した読出回路系の全体を表す構成図である。

【図 1 8】

本発明の第 2 の実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図である。

【図 1 9】

図 1 8 に示した磁気メモリデバイスの要部の構成を表すブロック図である。

【図 2 0】

図 1 8 に示した磁気メモリデバイスの読出回路系の要部の構成図である。

【図 2 1】

(A) , (B) は、それぞれ図 4 に示した書込回路系における書込配線に係る変形例を表す図である。

【図 2 2】

(A) , (B) は、それぞれ図 4 に示した書込回路系における書込配線に係る変形例を表す図である。

【図 2 3】

図 4 に示した書込回路系における書込配線に係る変形例を表す図である。

【図 2 4】

従来の磁気メモリデバイスの構成を表す図である。

【図 2 5】

従来の磁気メモリ素子の具体的構成を表す断面図である。

【図 2 6】

従来の磁気メモリ素子に対する書込方法を説明するための図である。

【図 27】

従来の磁気メモリデバイスの変形例における、磁気記憶素子の断面構成図である。

【図 28】

図 27 に示した磁気メモリ素子に対する書込線の配線構造を表す図である。

【図 29】

従来の磁気メモリデバイスの変形例における書込線および磁気記憶素子の構成を表す図である。

【図 30】

図 29 に示した磁気記憶素子に対する書込方法を説明するための図である。

【図 31】

図 30 に示した書込方法の問題点を説明するための図である。

【符号の説明】

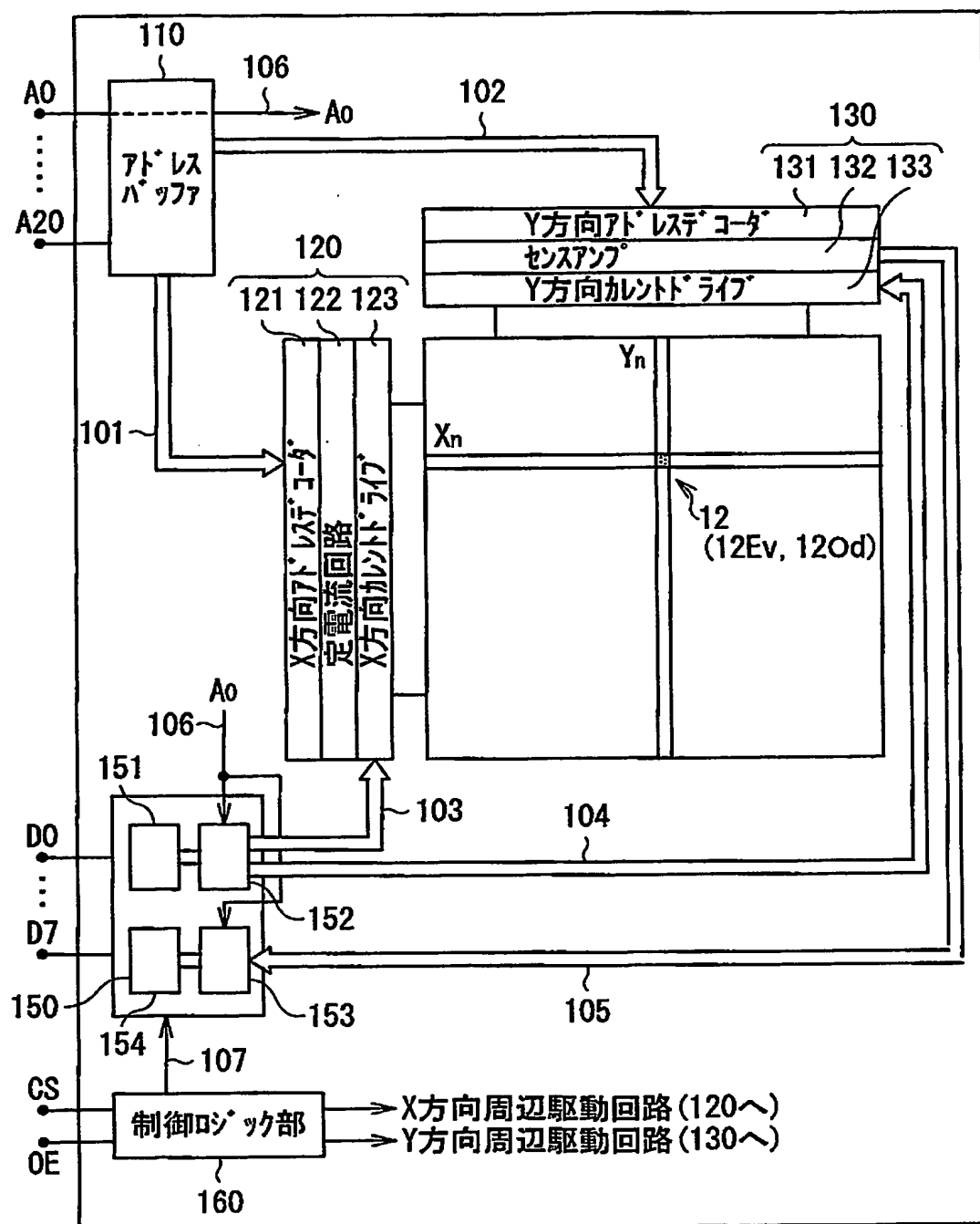
Q1～Q8…トランジスタ、R1～R4…抵抗器、A、B…ドライブポイント、1…第1の磁性層、2…非磁性層（トンネルバリア層）、3…第2の磁性層、4…非磁性導電層、5…環状磁性層、6X, 81X, 82X, 83X, 84X…書込用ワード線、6Y, 81Y, 82Y, 84Y…書込用ビット線、7…絶縁層、8…導電層、9…エピタキシャル層、10…基板、11…読出センシング用導線、12…記憶セル、12Ev…偶数番地の記憶セル、12Od…奇数番地の記憶セル、12A, 12B…磁気抵抗効果素子、13A, 13B…逆流防止用ダイオード、14…データ信号線、15…リファレンス信号線、16X…（書込用）ワードデコード線、16Y…（書込用）ビットデコード線、20…（読出用）ビットデコード線、21A, 21B…センス用ビットデコード線（センスビット線）、22A, 22B…トランジスタ、23A, 23B…電流電圧変換用抵抗器、30…（読出用）ワードデコード線、31…センス用ワードデコード線（センスワード線）、40…増幅部、41A, 41B…センスアンプ入力線、51A, 51B…センスアンプ出力線、61…第1の差動スイッチ対、62…第2の差動スイッチ対、63…差動制御手段（第3の差動スイッチ対）、64…電流方向制御

部、65…電流量制御部、70A, 70B, 71, 72…スイッチ、73…インバータ、74A, 74B…トランジスタ、75…ワード選択線、101, 102…アドレス線、103, 104…書込用データバス、105…読出用データバス、106…グループ選択信号線、107…制御信号線、110…アドレスバッファ、120…X方向周辺駆動回路、121…X方向アドレスデコーダ、122…定電流回路、123…X方向カレントドライブ、124…選択用デコーダスイッチ、130…Y方向周辺駆動回路、131…Y方向アドレスデコーダ、132…センスアンプ、133…Y方向カレントドライブ、140…記憶セル群、150…データバッファ、151…入力バッファ、152…書込用論理制御部、153…読出用マルチプレクサ、154…出力バッファ、160…制御ロジック部、A0 ~ A20…外部アドレス入力端子、D0 ~ D7…外部データ端子、 X_n , Y_n …ワードデコード値、 A_0 …番地選択信号、XDin, YDin…データ信号、XRef, YRef…リファレンス信号。

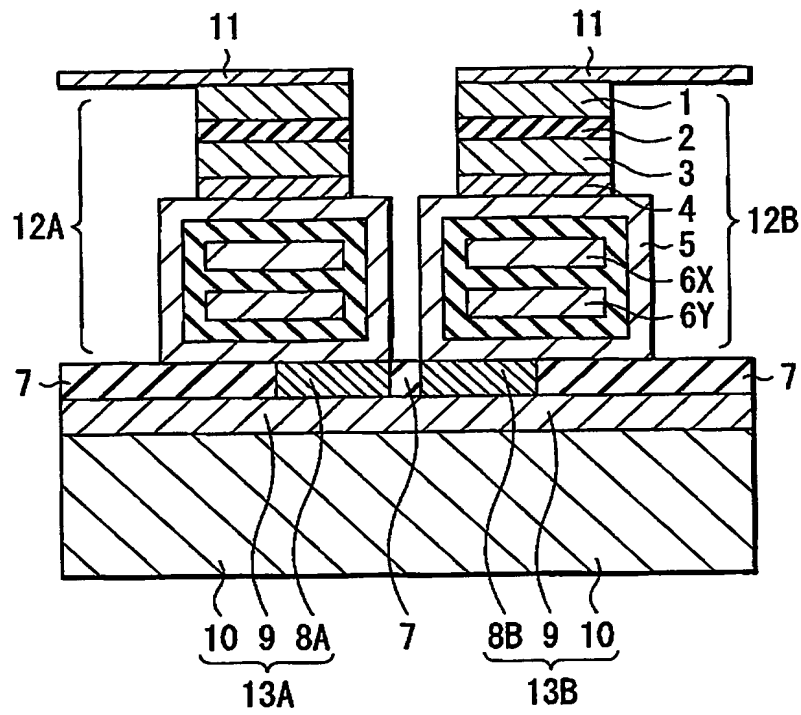
【書類名】

凶面

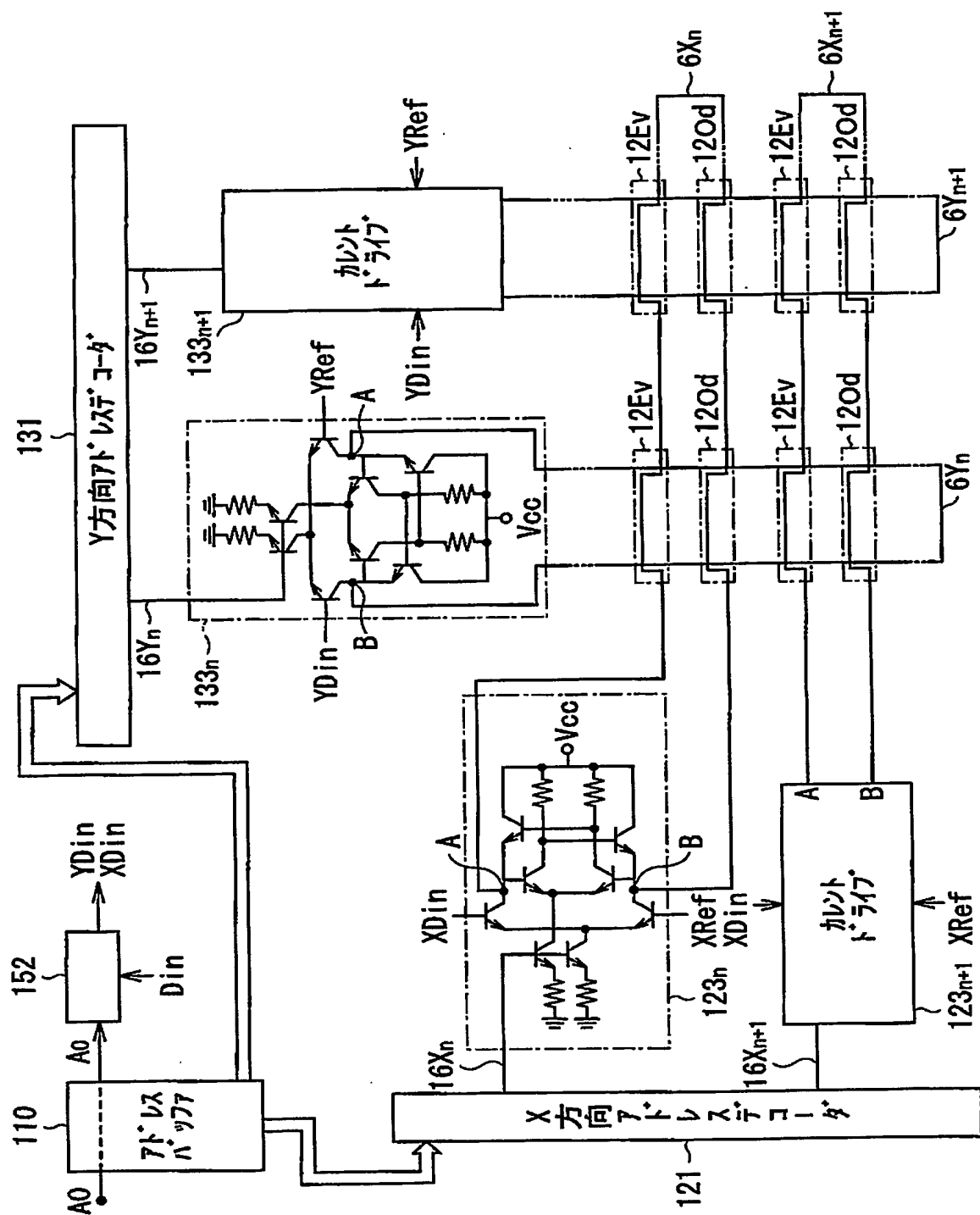
【図 1】



【図 3】



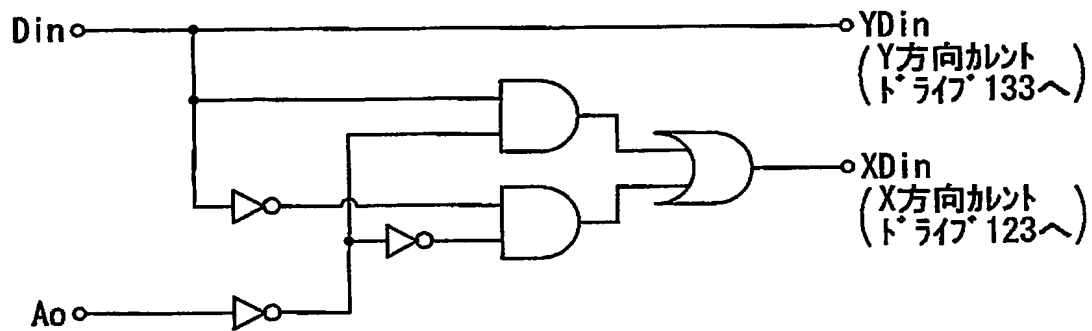
【図 4】



【図 5】

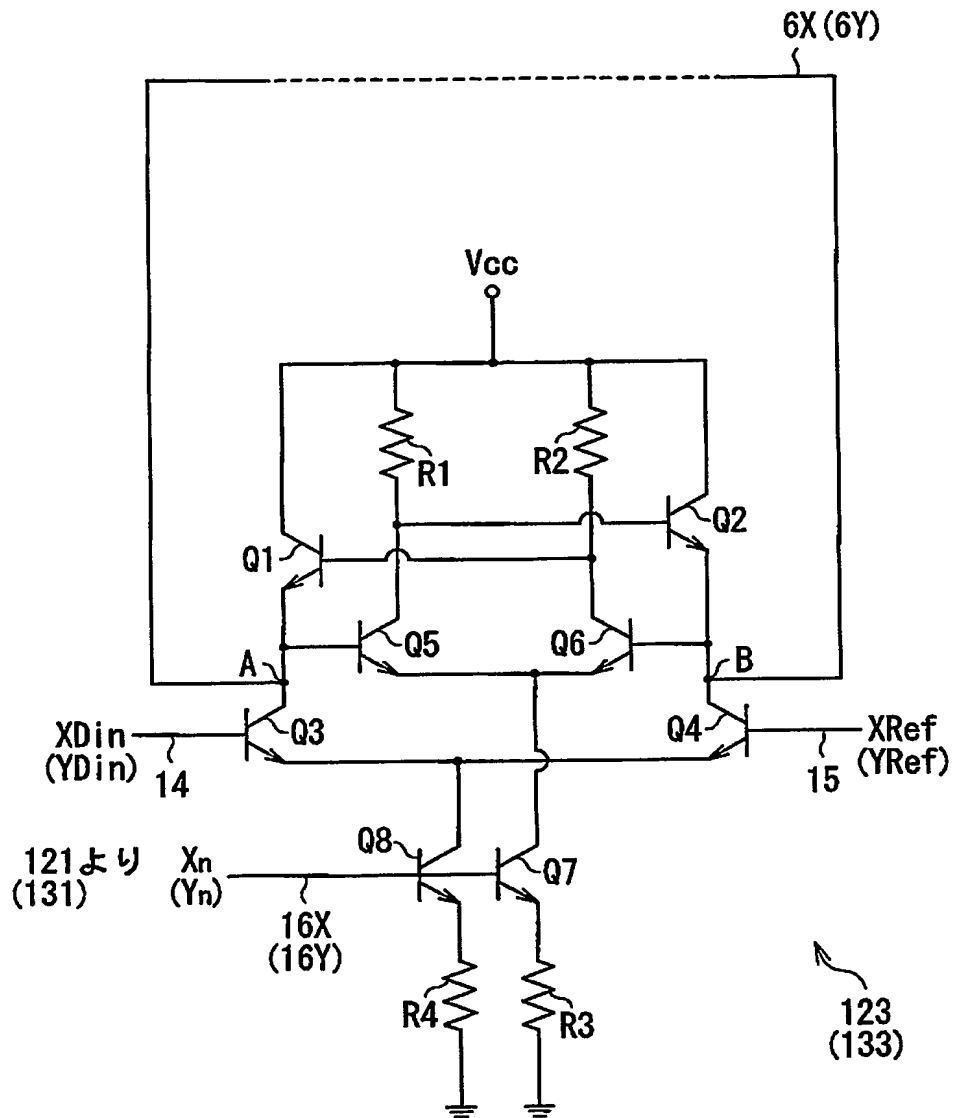
	A0	Din	XDin	YDin
記憶セル12Evに “1” の書き込み	0	1	1	1
記憶セル12Evに “0” の書き込み	0	0	0	0
記憶セル12Odに “1” の書き込み	1	1	0	1
記憶セル12Odに “0” の書き込み	1	0	1	0

【図 6】

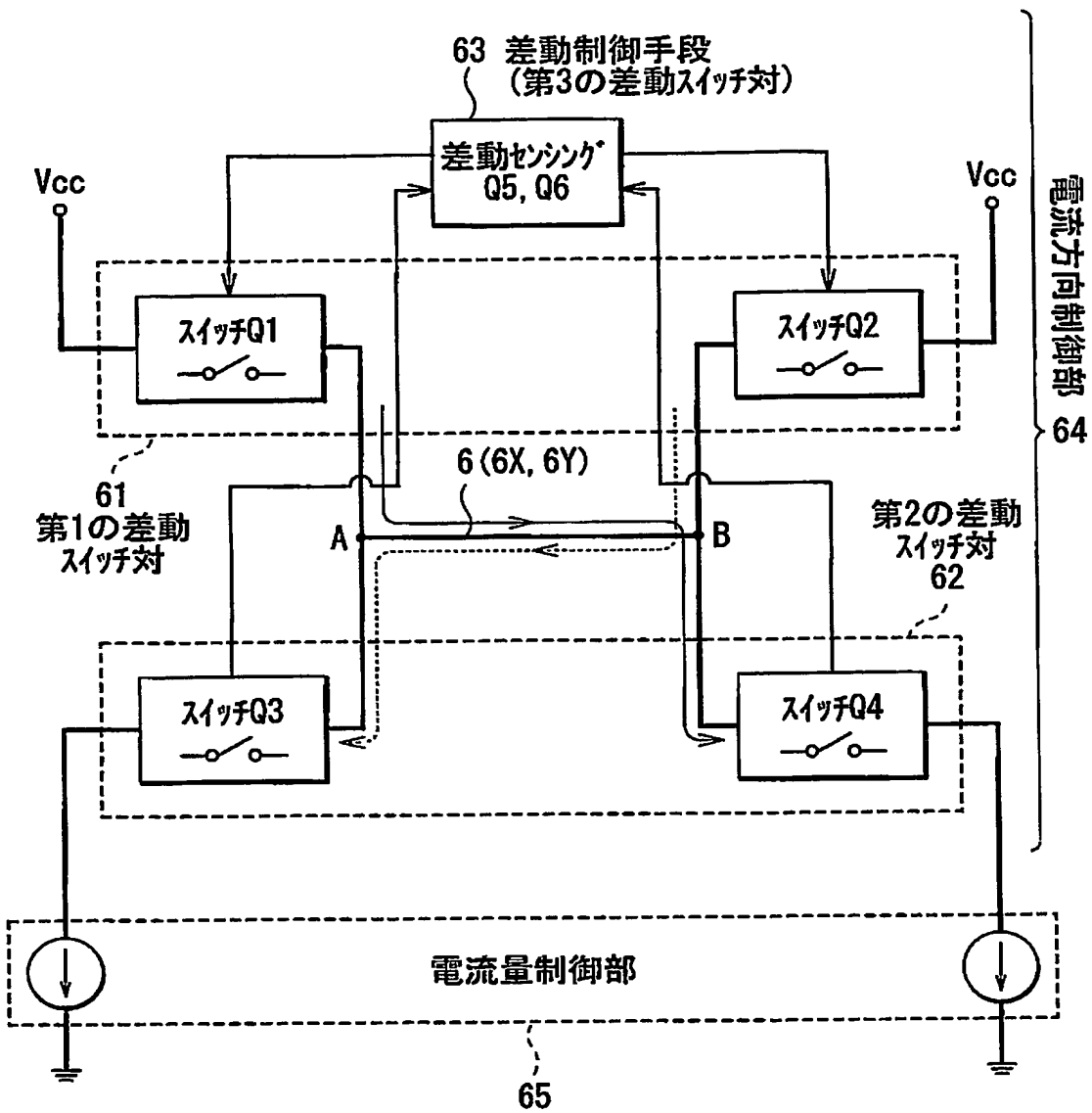


152

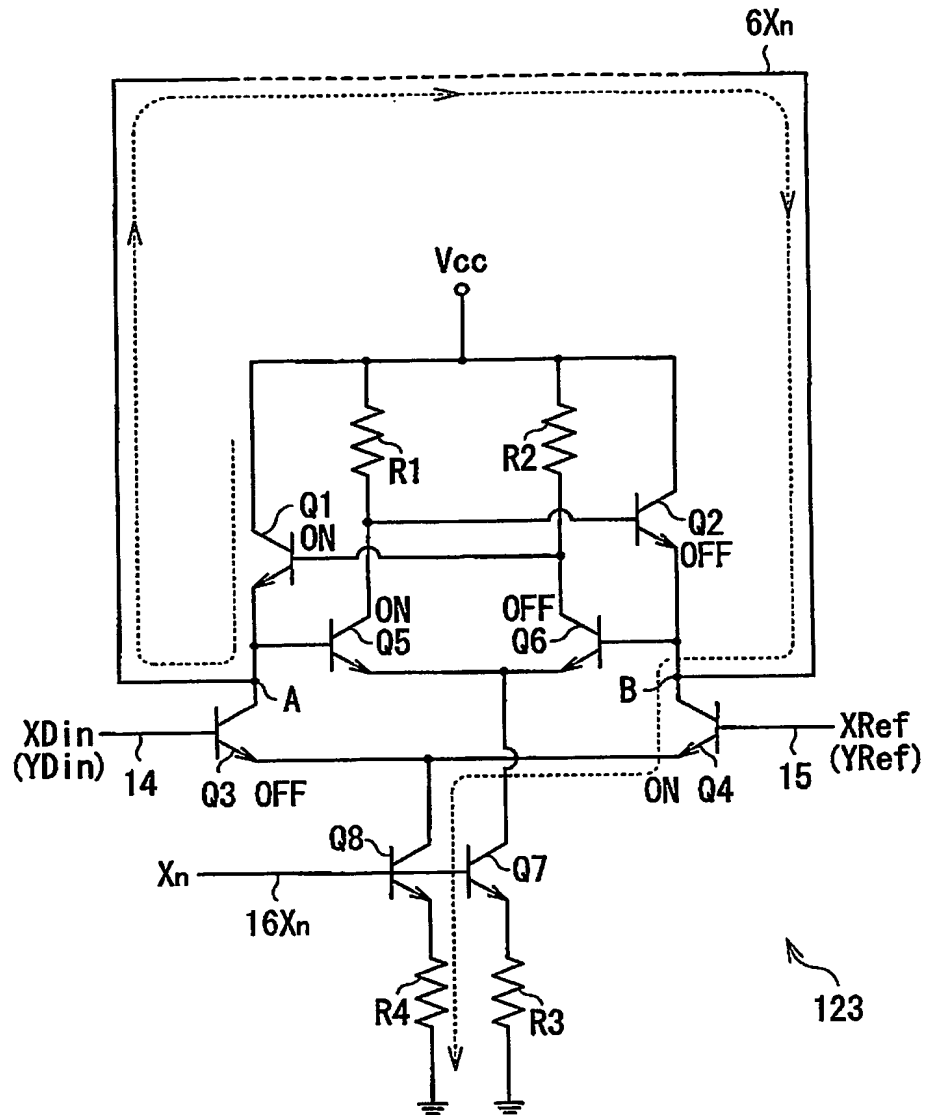
【図 7】



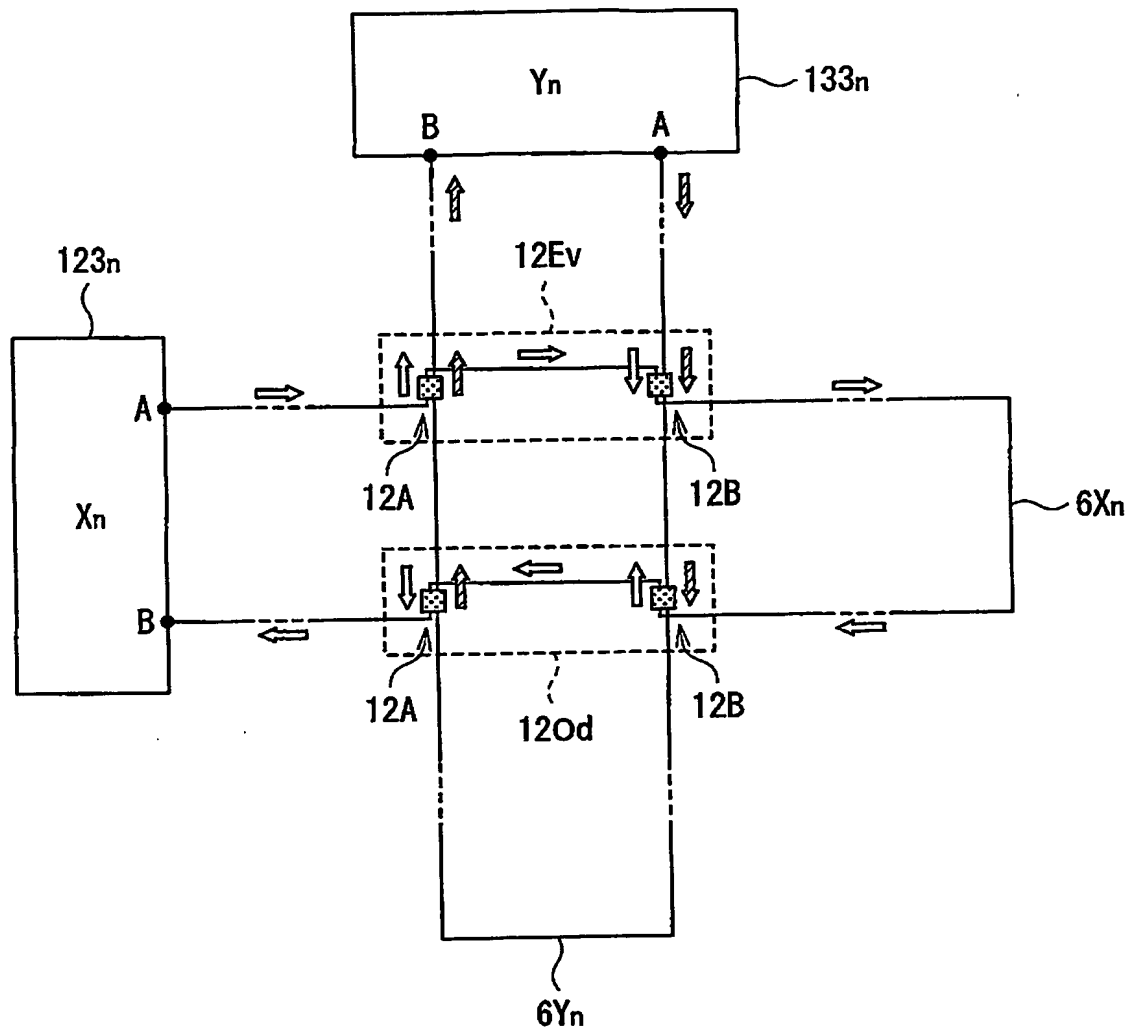
【图 8】



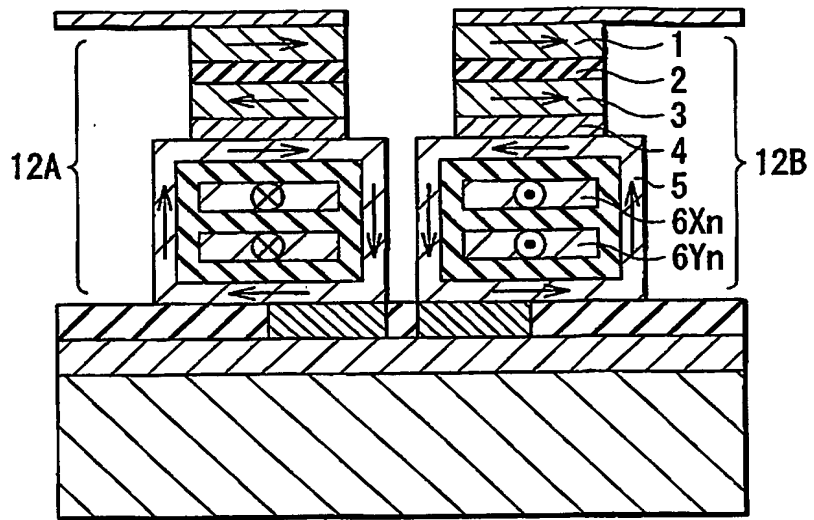
【図 9】



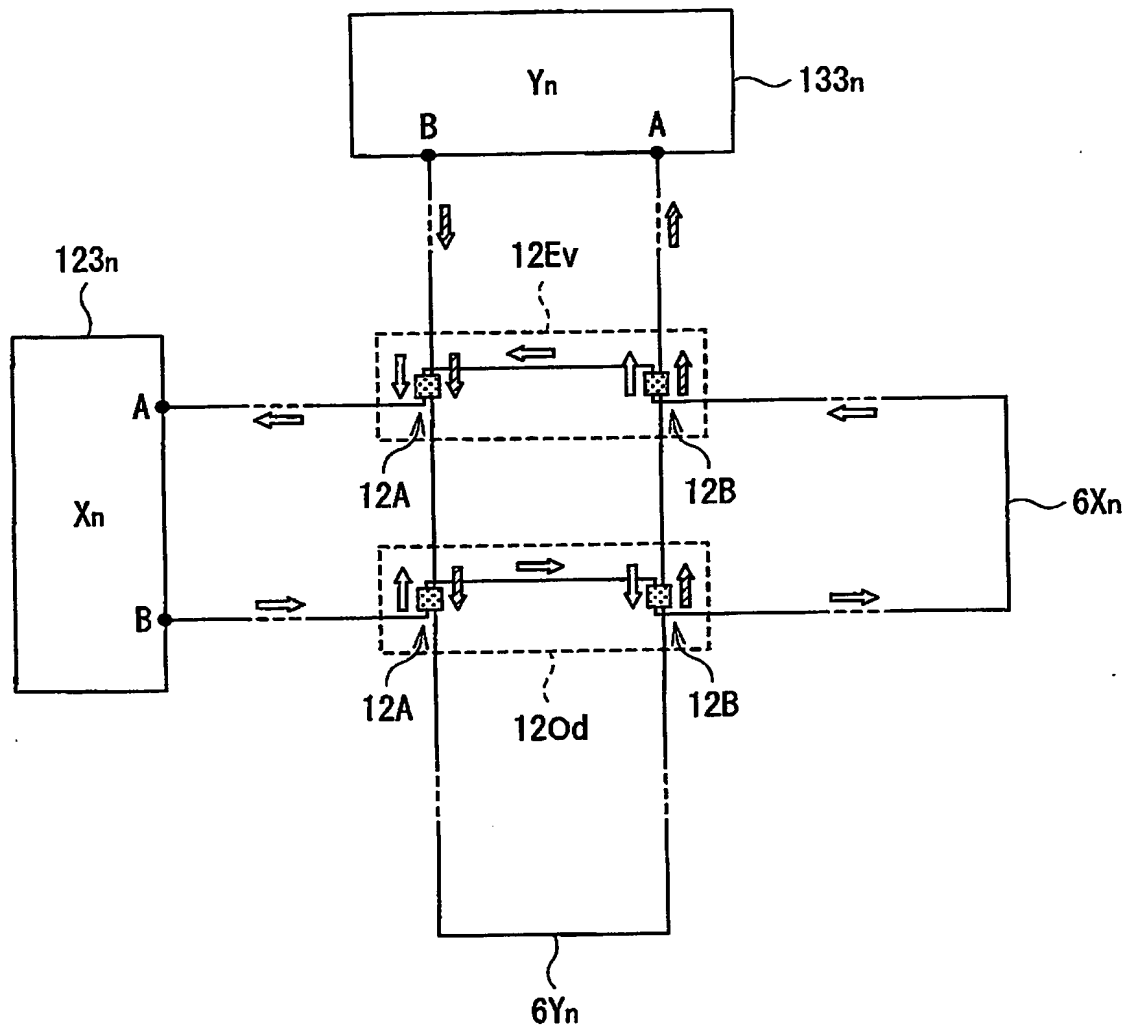
【図 10】



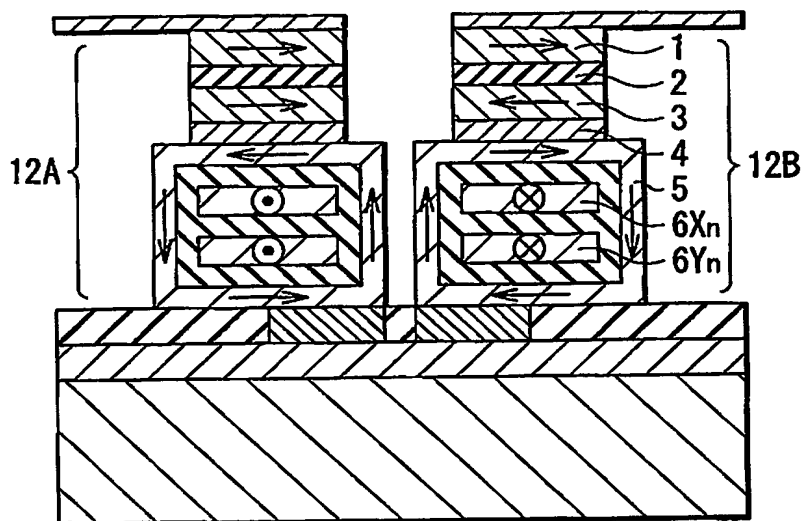
【図 11】



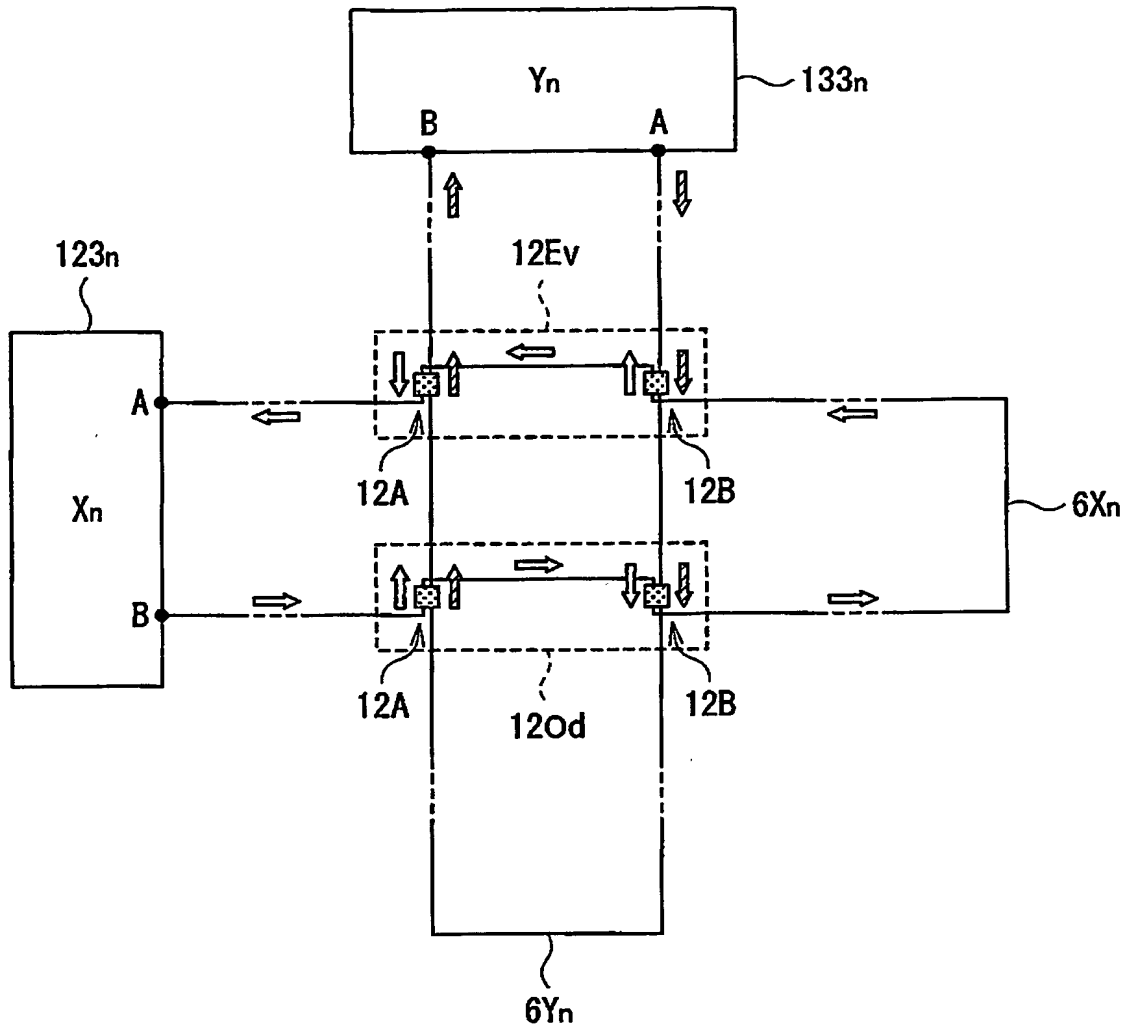
【図 12】



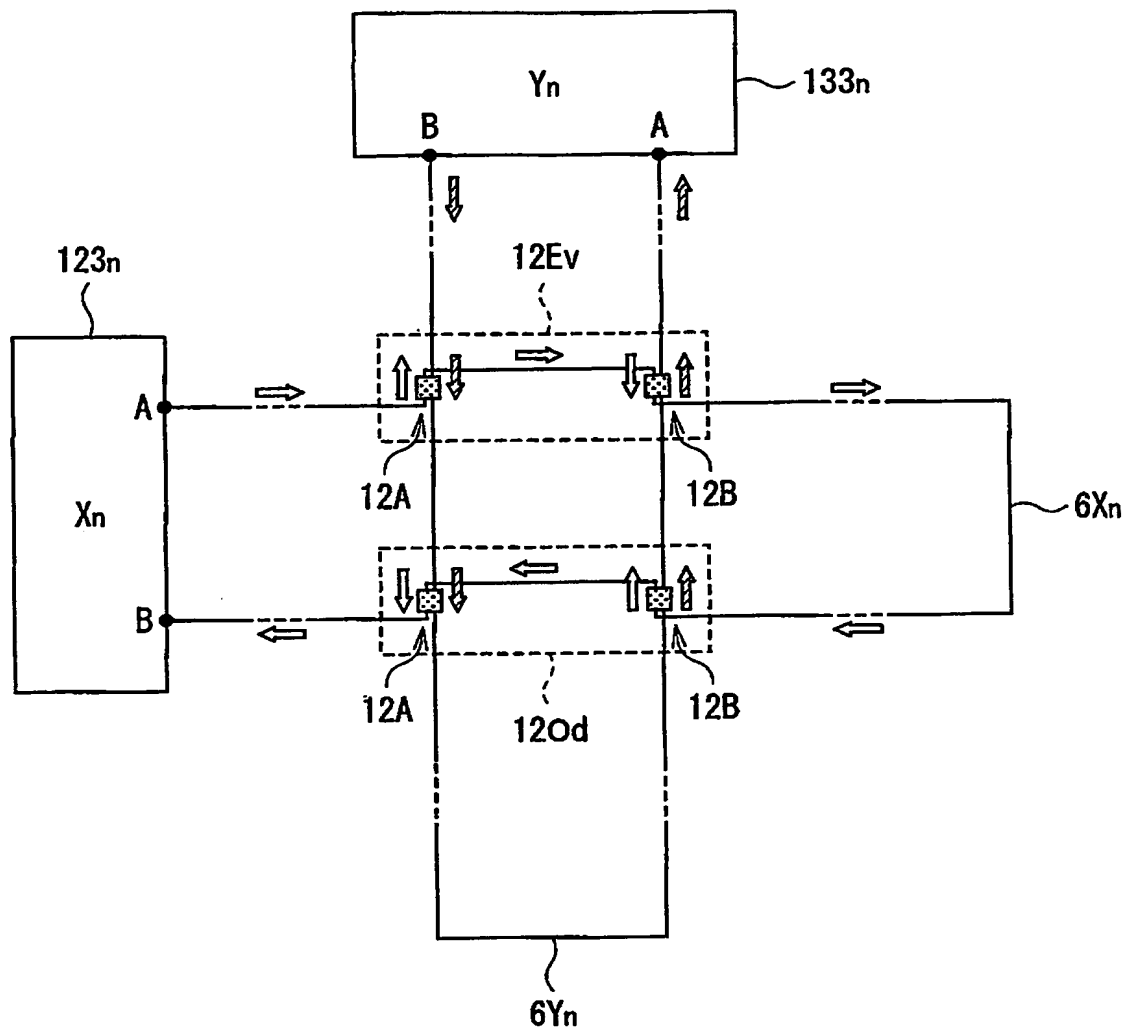
【図 13】



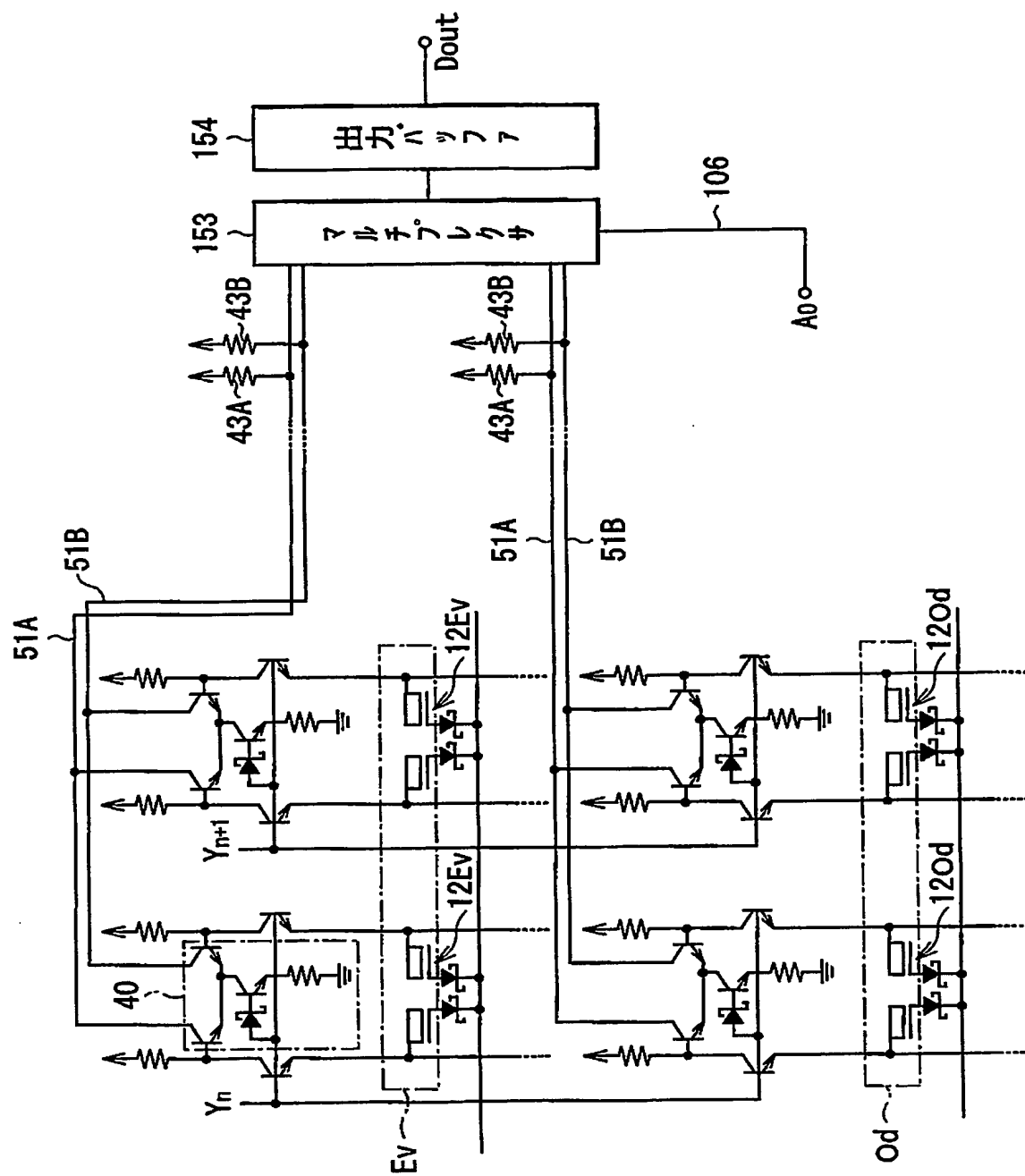
【図 14】



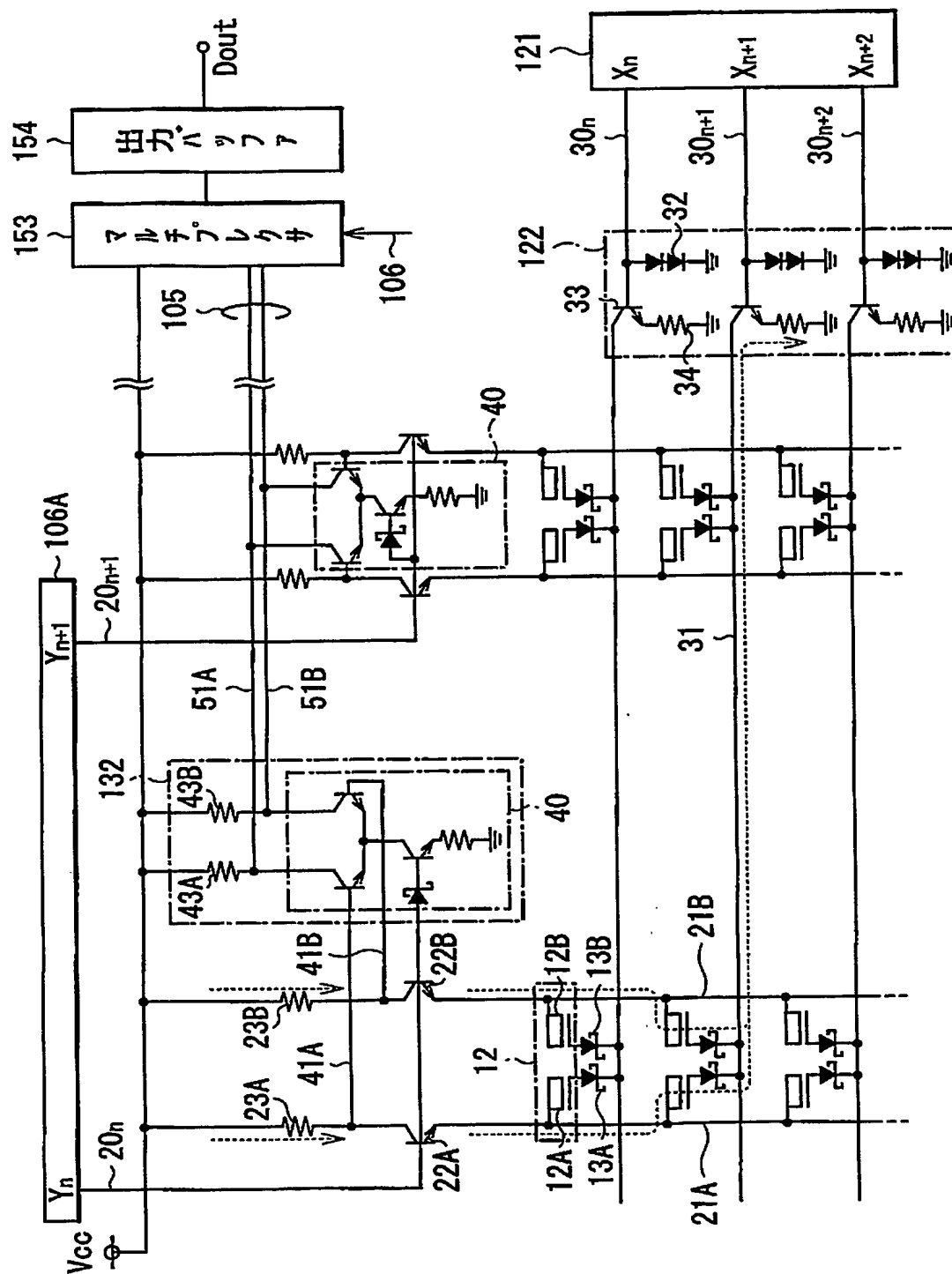
【図 15】



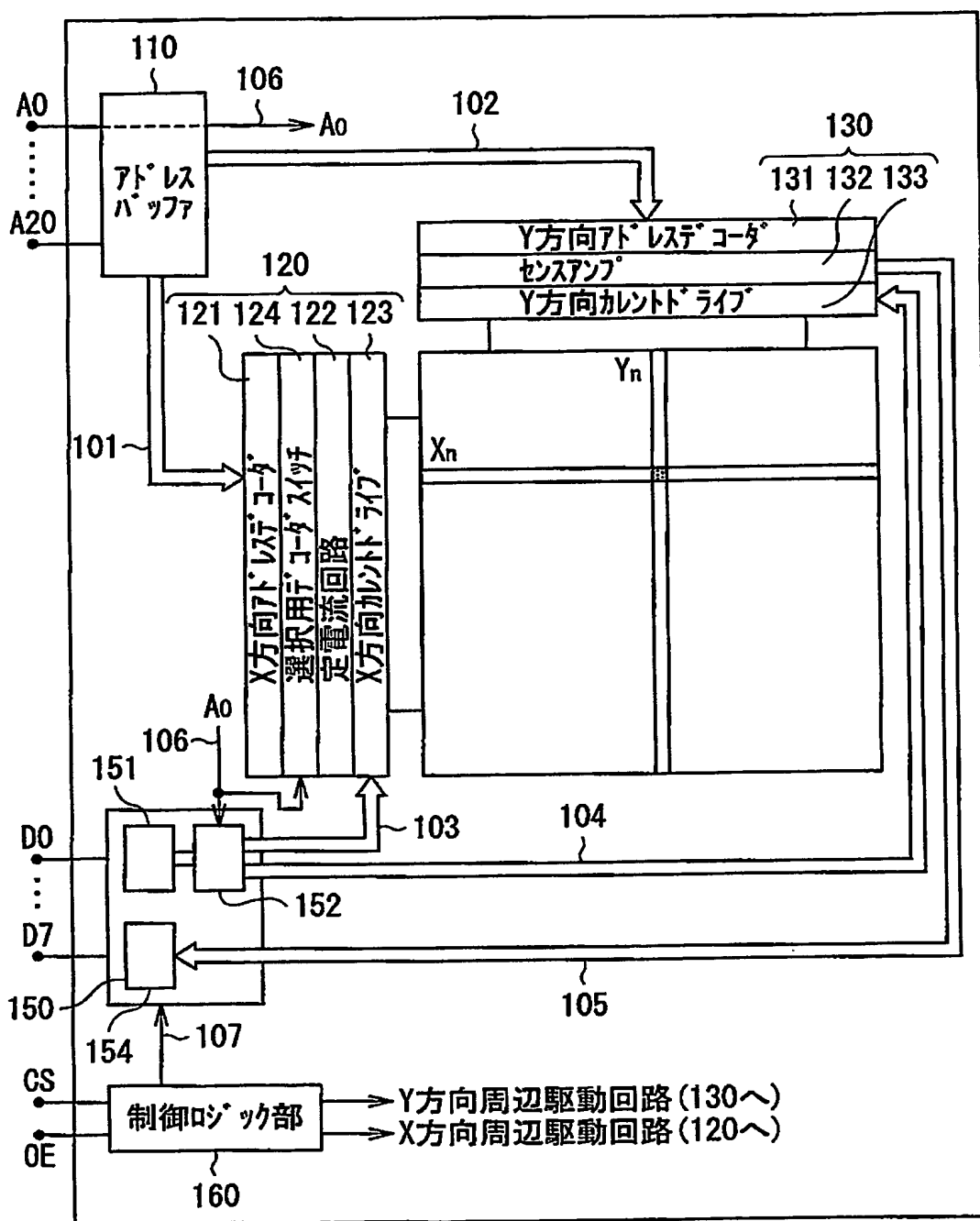
【図 16】



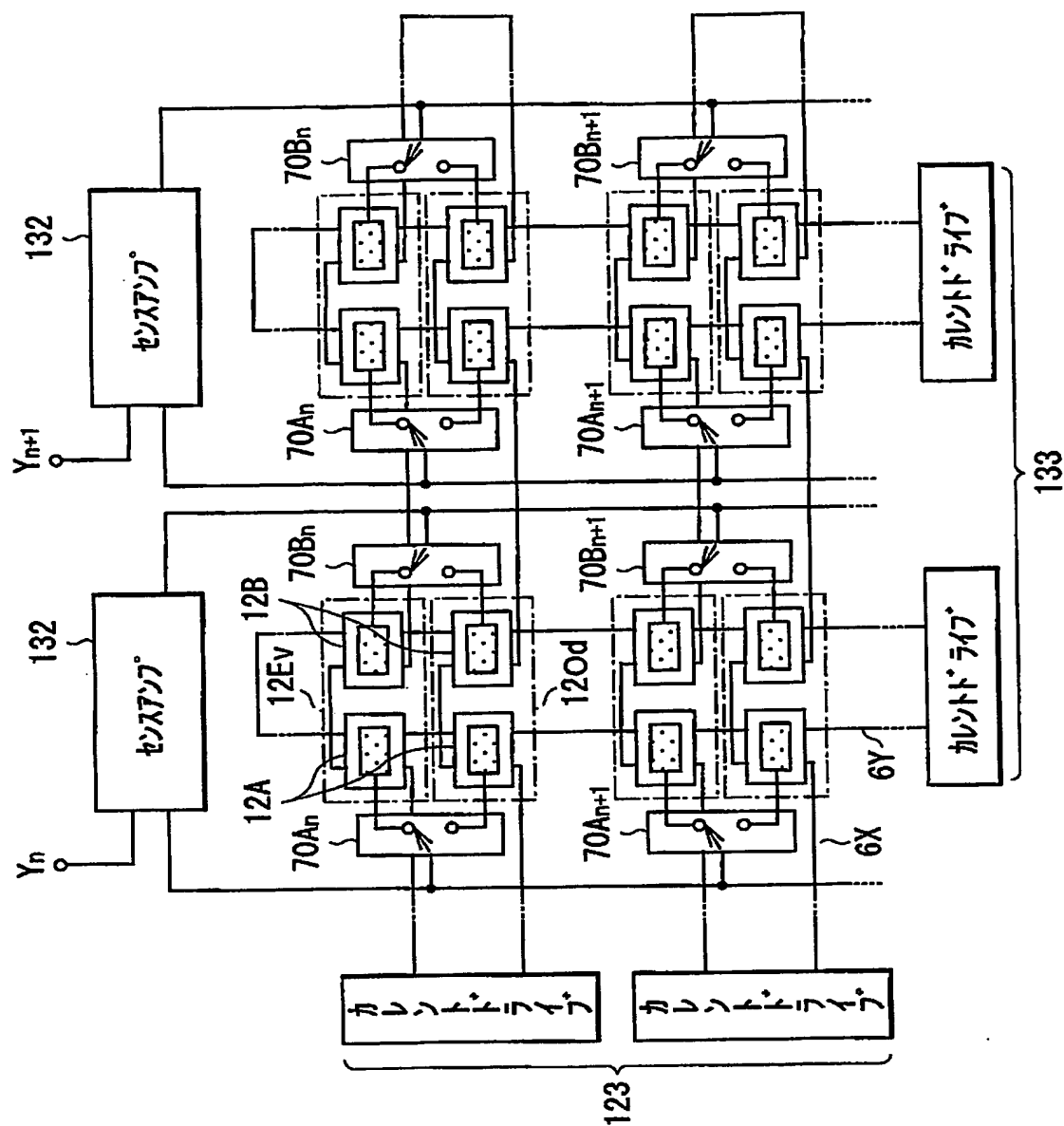
【図 17】



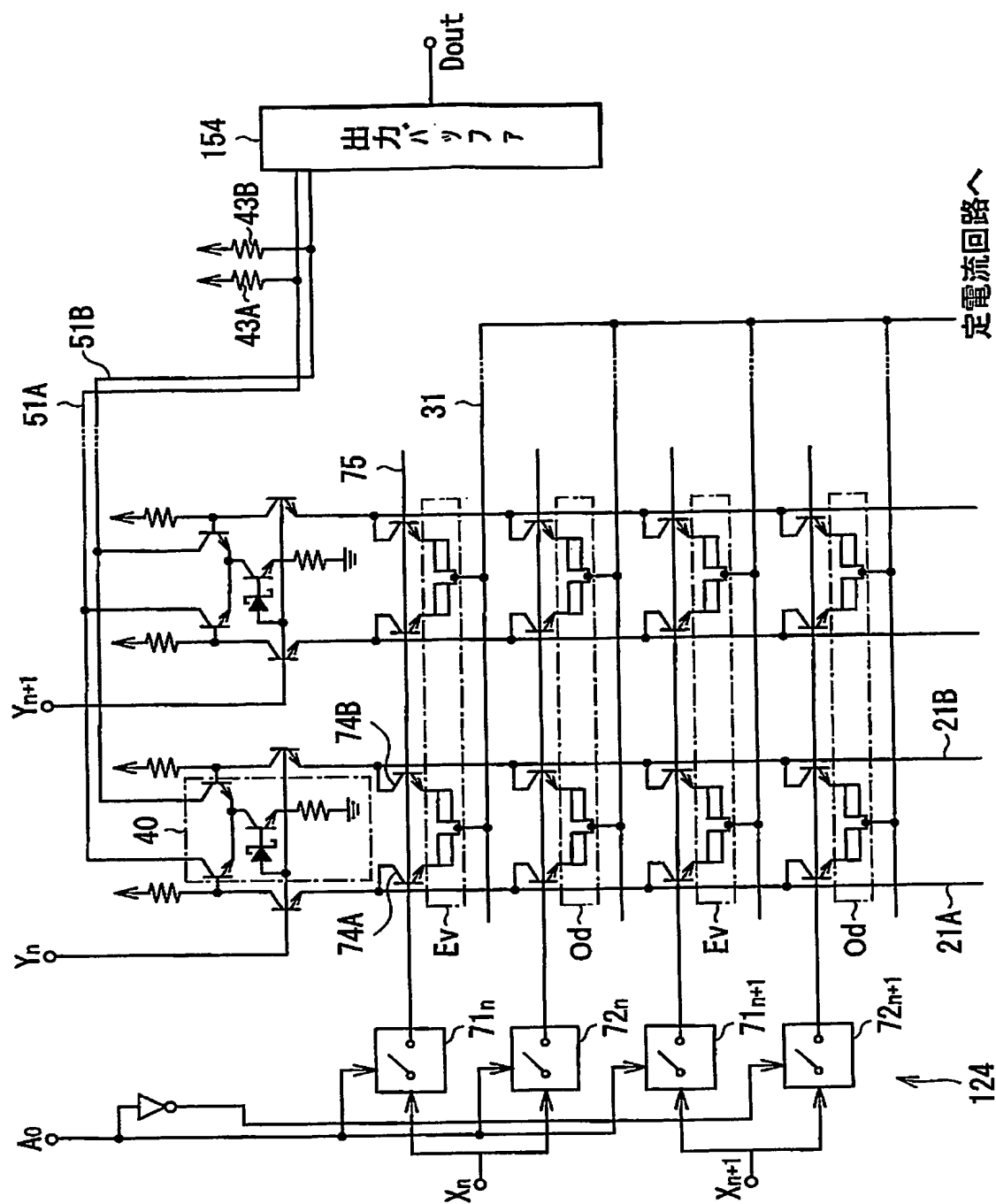
【図 18】



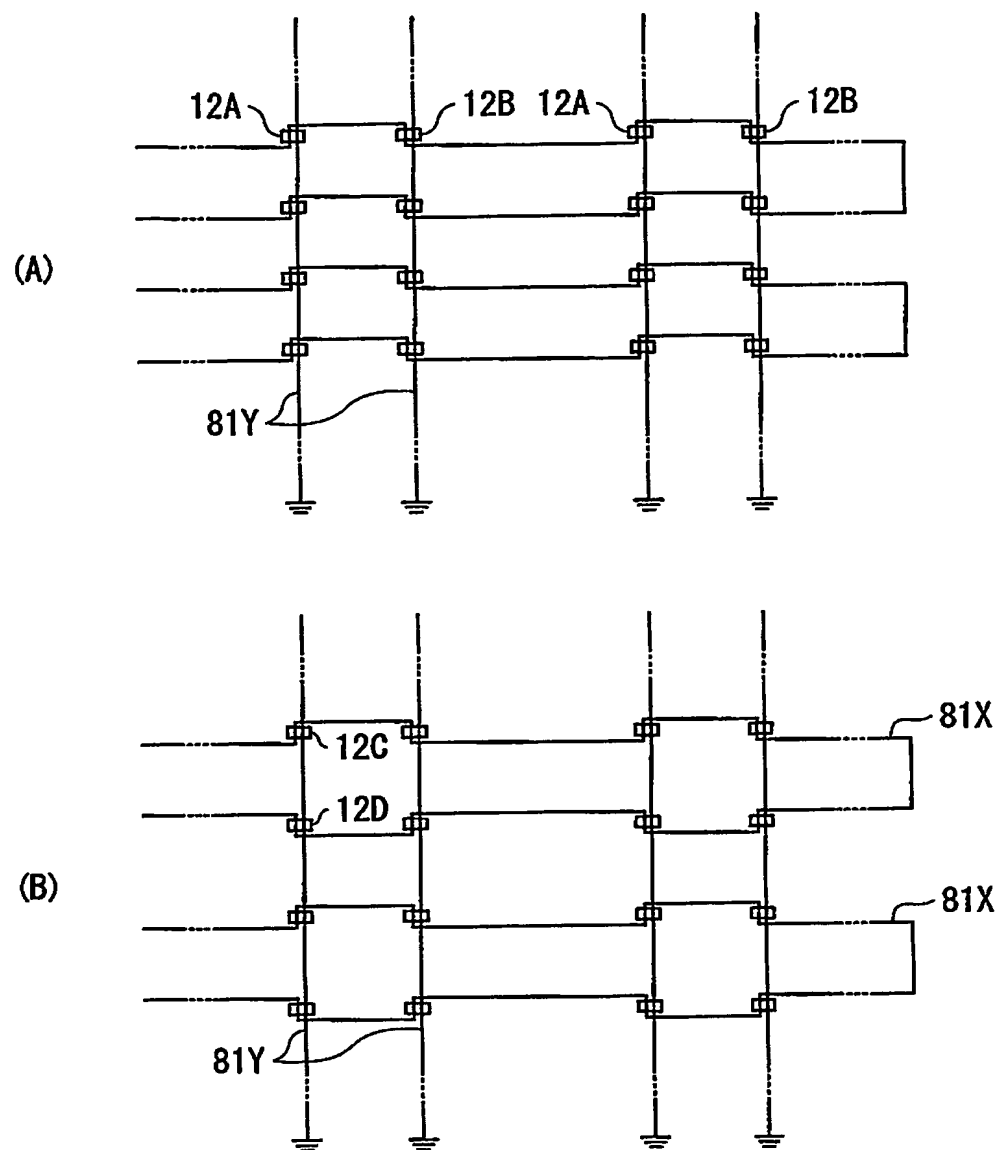
【図19】



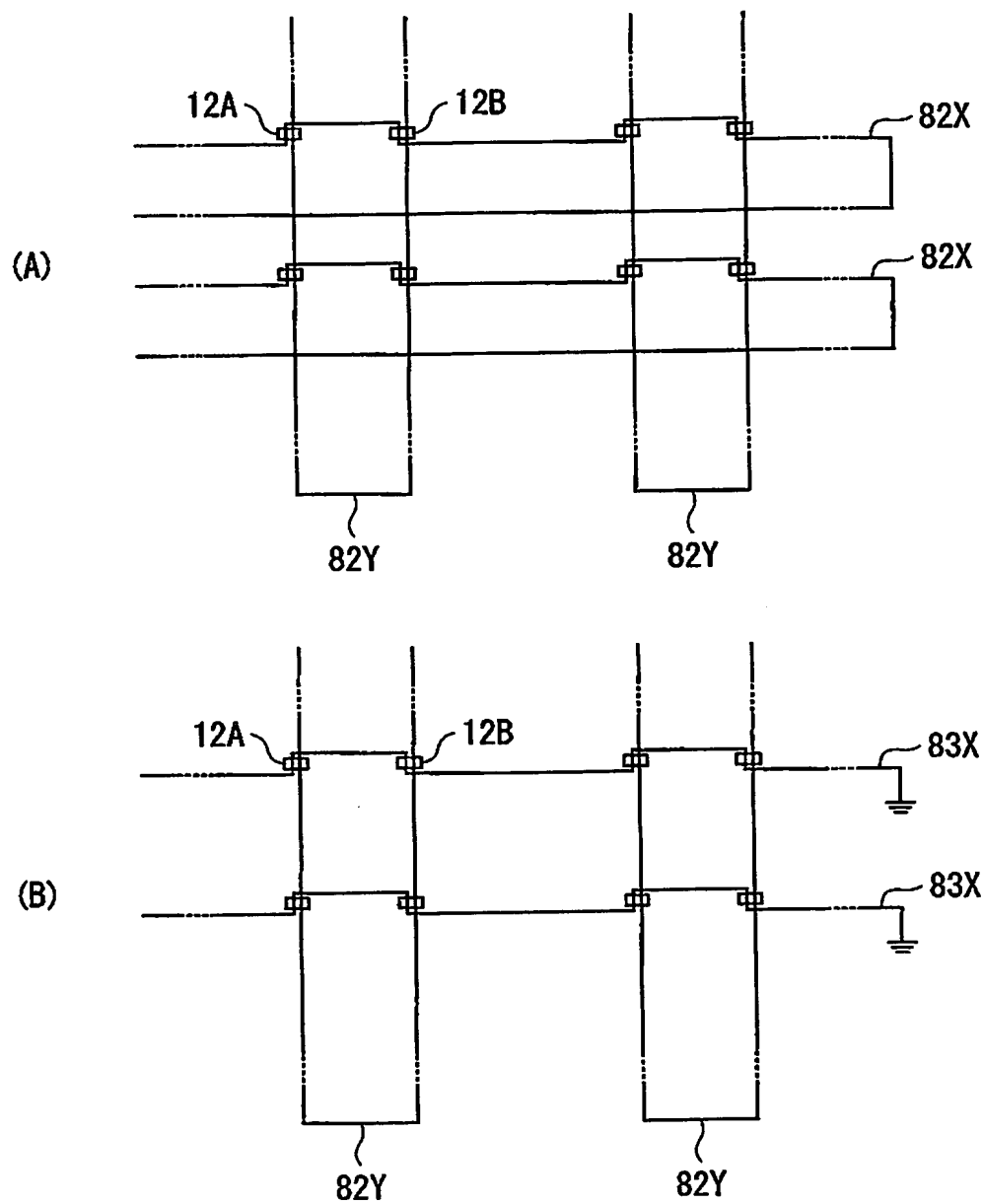
【図 20】



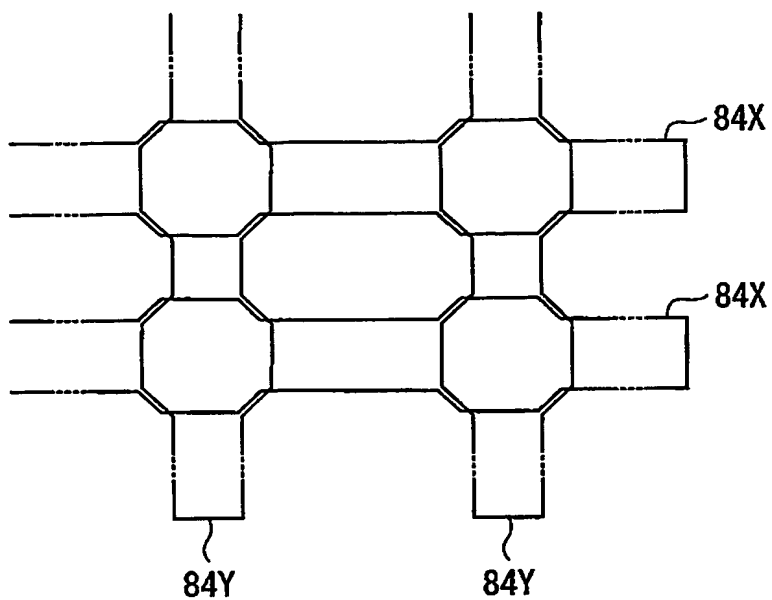
【図 21】



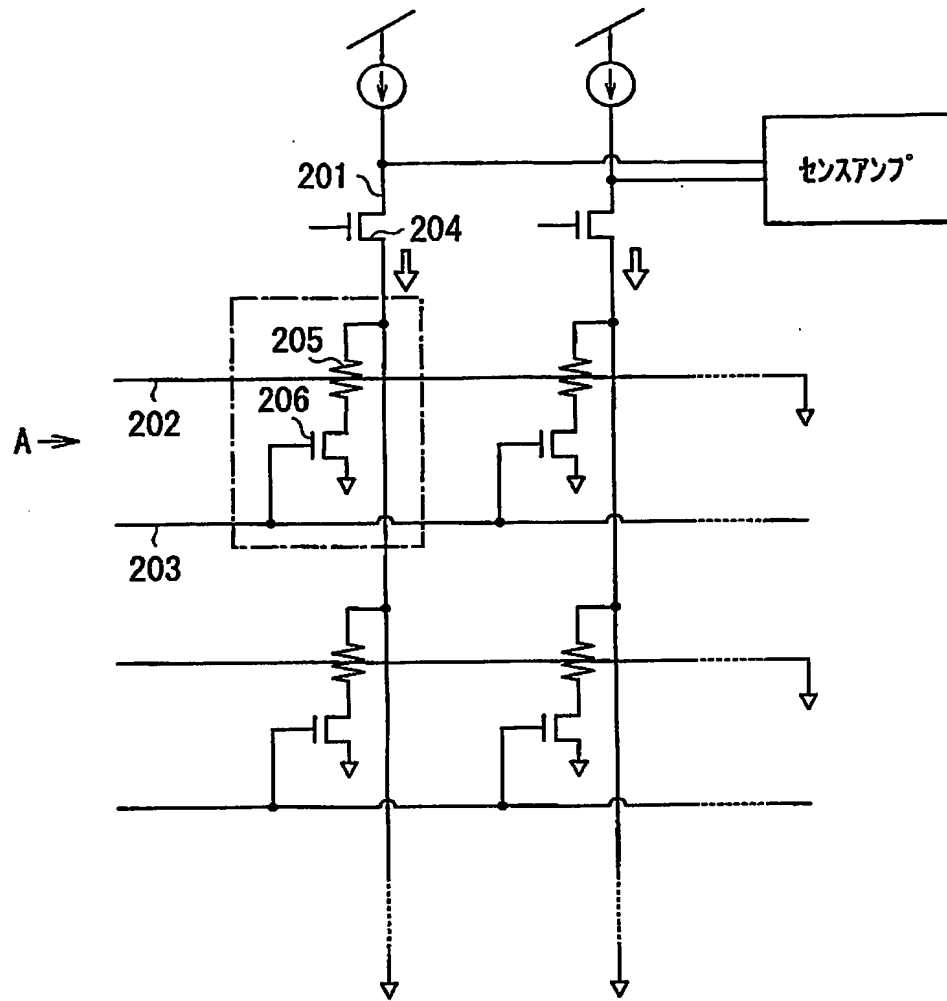
【図 22】



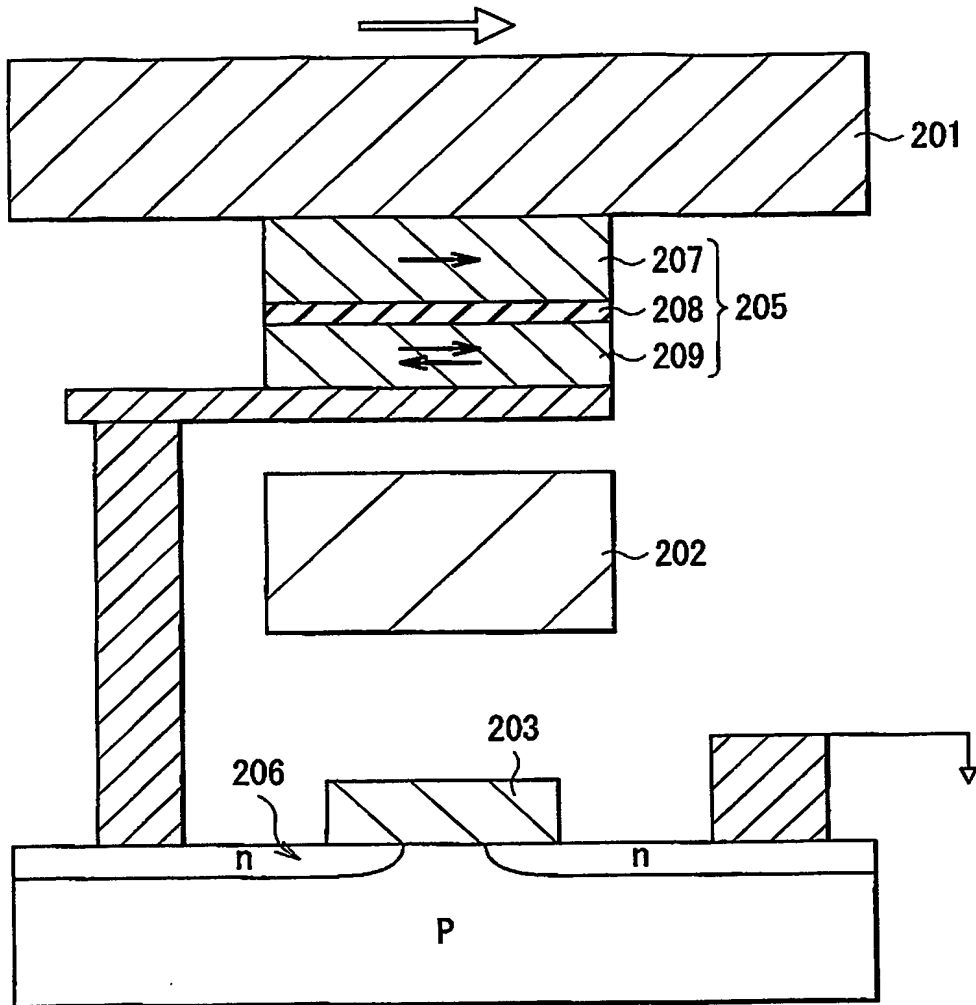
【図 23】



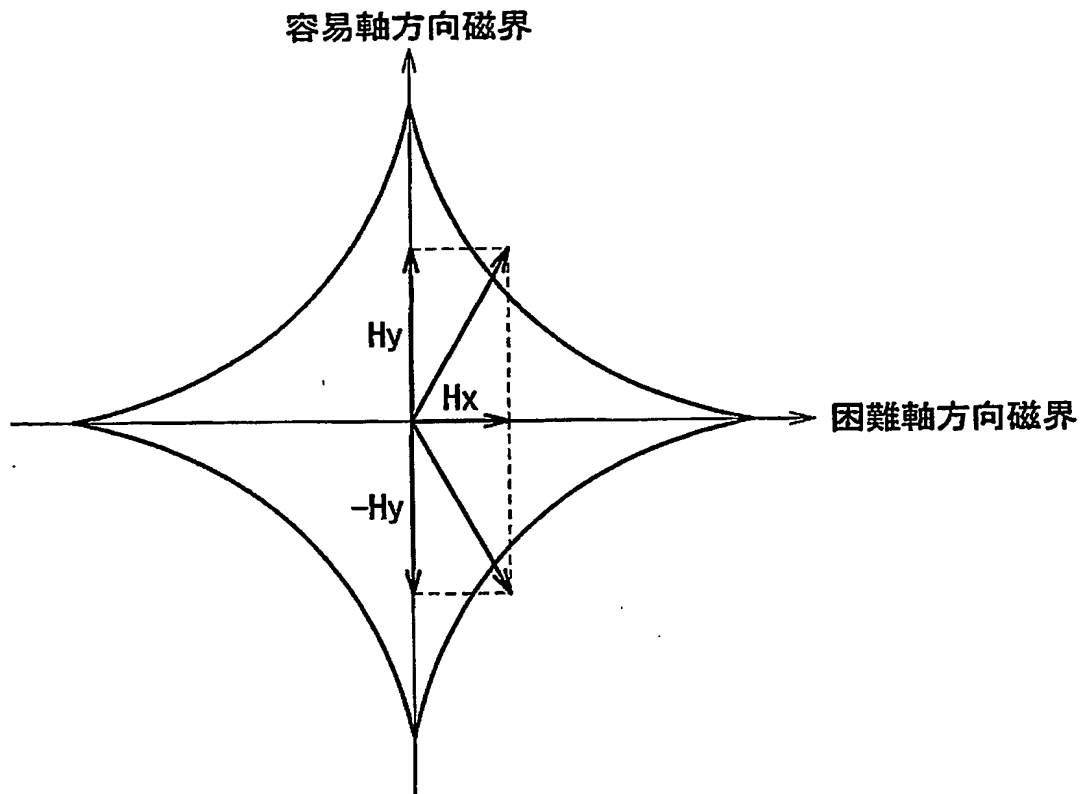
【図 24】



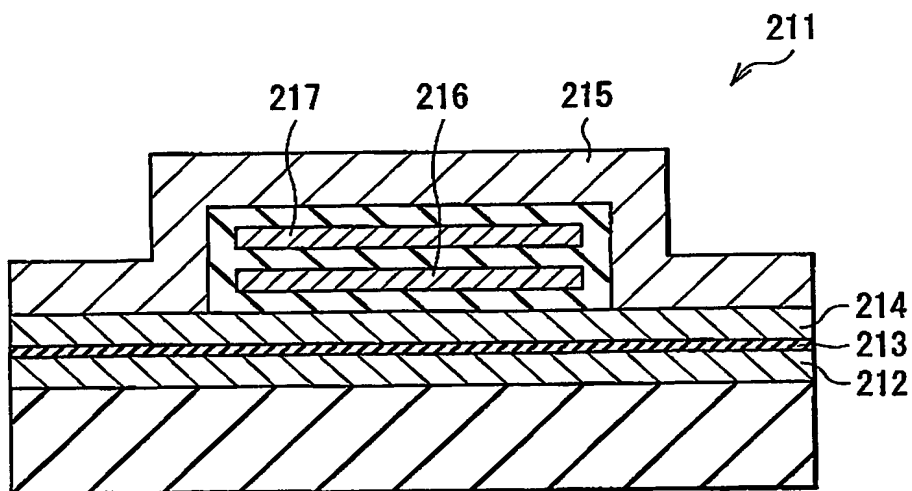
【図 25】



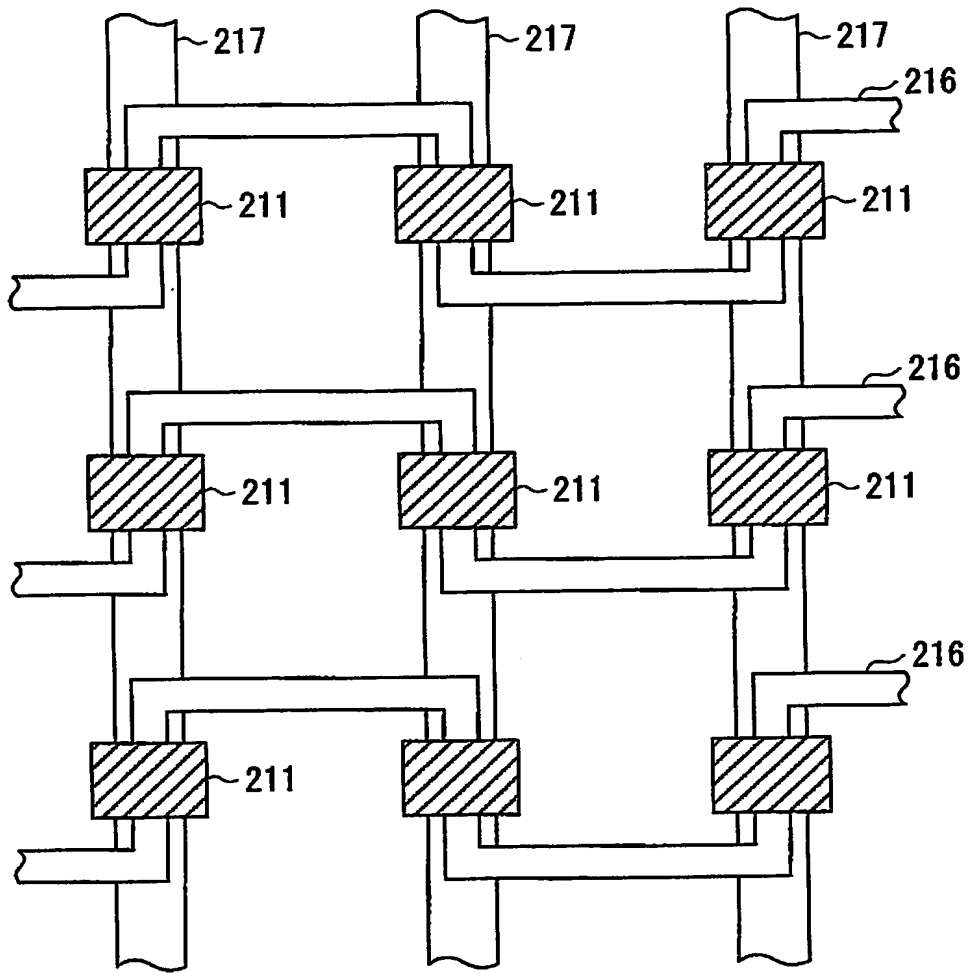
【図 26】



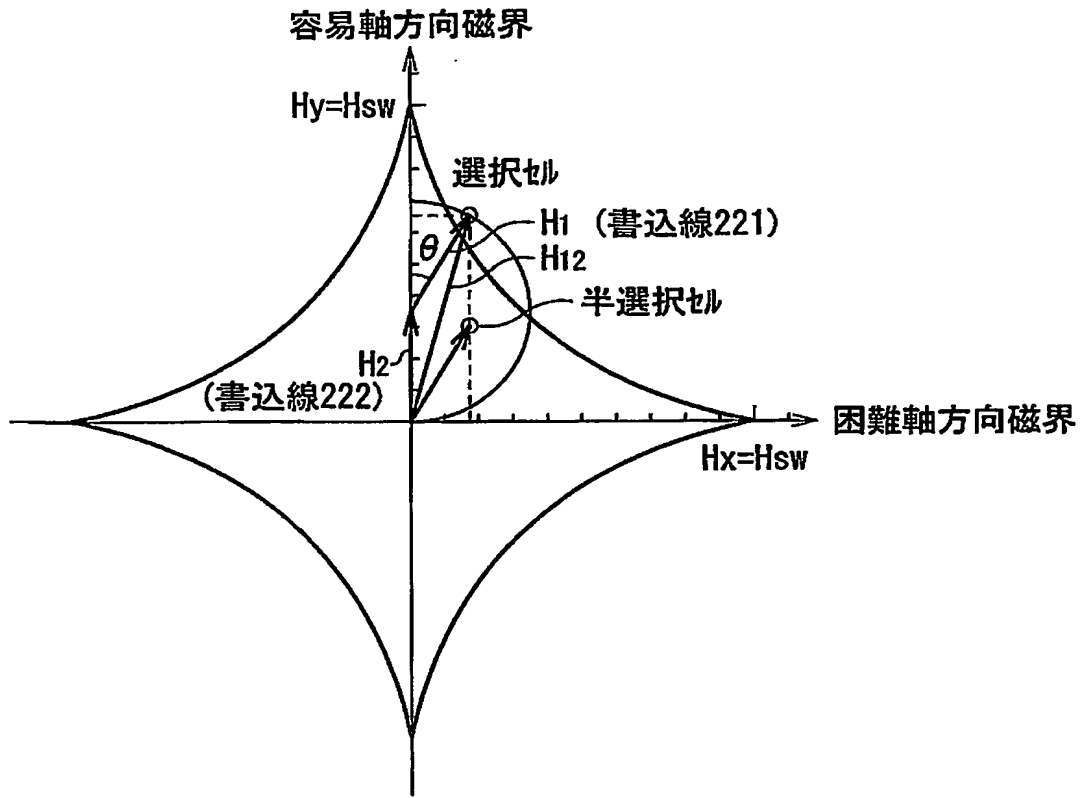
【図 27】



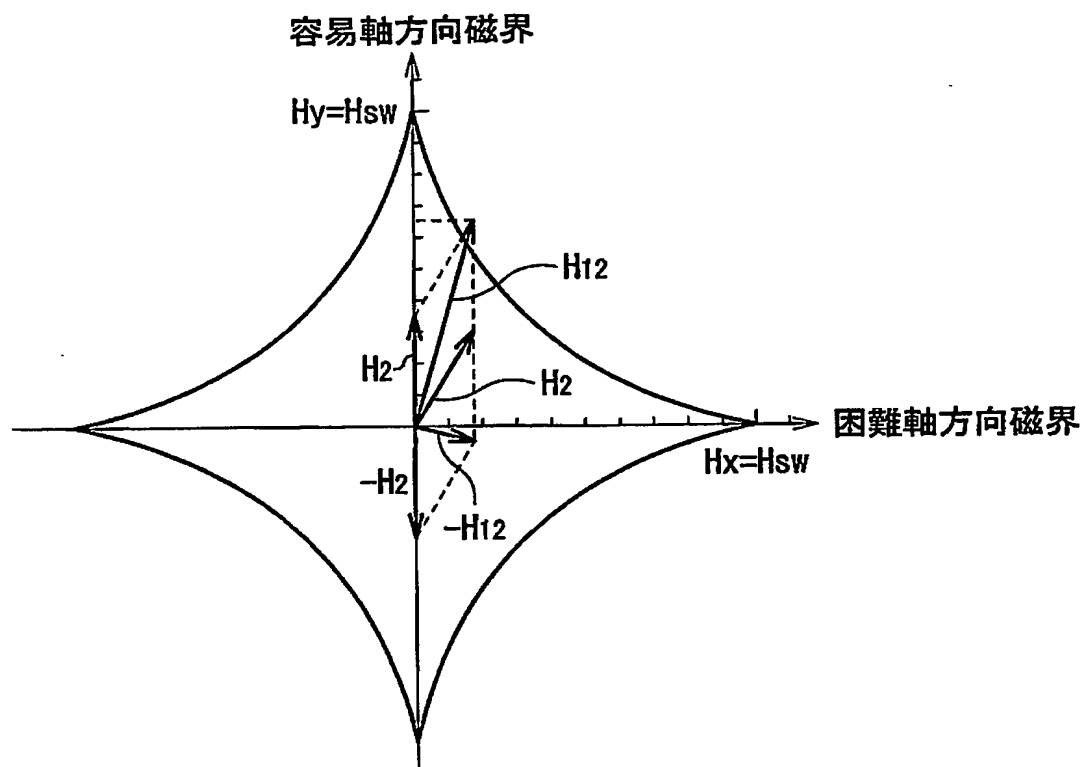
【図 28】



【図 30】



【図 31】



【書類名】 要約書

【要約】

【課題】 確実に書き込みを行うことを可能とする新規な駆動方法に基づく磁気メモリデバイスおよび磁気メモリデバイスの書込方法を提供する。

【解決手段】 一対のループ状の書込線 $6X_n$, $6Y_n$ は4つの平行部分を形成する。上段と下段の各平行部分に配された磁気抵抗効果素子 $12A$, $12B$ が、それぞれ記憶セル $12Ev$ と、記憶セル $12Od$ を構成している。カレントドライブ 123_n , 133_n からドライブポイント $A \rightarrow B$ 方向の電流を流すと、書込線 $6X_n$, $6Y_n$ の電流は、記憶セル $12Ev$ の平行部分では互いの向きが揃うが、記憶セル $12Od$ の平行部分では互いに反対向きとなる。記憶セル $12Ev$ では、誘導磁界が互いに強め合い、磁気抵抗効果素子 $12A$, $12B$ の各感磁層の磁化を互いに反平行とする。記憶セル $12Od$ では、誘導磁界は互いに打ち消しあう。

【選択図】 図12

認定・付加情報

特許出願の番号	特願 2003-092841
受付番号	50300521791
書類名	特許願
担当官	小野寺 光子 1721
作成日	平成 15 年 4 月 8 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003067
【住所又は居所】	東京都中央区日本橋 1 丁目 13 番 1 号
【氏名又は名称】	ティーディーケイ株式会社

【代理人】

申請人

【識別番号】	100109656
【住所又は居所】	東京都新宿区新宿 1 丁目 9 番 5 号 大台ビル 2 階 翼国際特許事務所
【氏名又は名称】	三反崎 泰司

【代理人】

【識別番号】	100098785
【住所又は居所】	東京都新宿区新宿 1 丁目 9 番 5 号 大台ビル 2 階 翼国際特許事務所
【氏名又は名称】	藤島 洋一郎

次頁無

特願 2 0 0 3 - 0 9 2 8 4 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

ティーディーケイ株式会社

2. 変更年月日

2 0 0 3 年 6 月 2 7 日

[変更理由]

名称変更

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

T D K 株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.